

JP2001110789 A

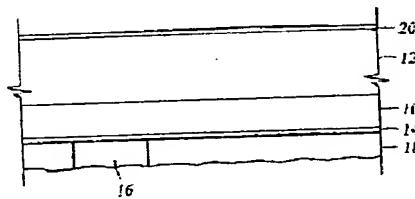
# **INTEGRATED LOW-K DIELECTRIC AND ETCHING STOP LAYER**

## **APPLIED MATERIALS INC**

**Inventor(s):**BJORKMAN CLAES H ;MIN YU MELISSA ;SHAN HONGQING ;CHEUNG DAVID W ;YAU WAI-FAN ;CHOPRA NASREEN GAZALA ;YIN GERALD ZHEYAO ;MOGHADAM FARHAD ;HUANG JUDY H ;YOST DENNIS J ;TANG SUM-YEE BETTY ;KIM YUNSANG ;LIU KUO-WEI  
**Application No.** 2000173807 JP2000173807 JP, **Filed** 20000609, A1 **Published** 20010420 **Published** 20010420

**Abstract:** PROBLEM TO BE SOLVED: To provide a method for depositing and etching a dielectric layer, where a dielectric constant is low and etching speed changes 3:1, for forming horizontal mutual interconnects.

**SOLUTION:** Quantity of carbon or hydrogen in a dielectric layer fluctuates due to the change in deposition condition for installing an etching stop layer or a low k dielectric in the application of damascene, which can be substituted for the former dielectric layer. Dual-damascene structure having a dielectric layer whose dielectric constant is not less than '2', which is lower than about 4, can execute deposition in the single reactor and is etched so that vertical or horizontal interconnects by making the concentration of carbon; oxygen gas such as carbon monoxide fluctuate. Etching gas for forming the vertical mutual interconnections comprises CO and a fluorocarbon, and CO gas is preferably removed from etching gas for forming the horizontal interconnects.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-110789  
(P2001-110789A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト(参考)
H 01 L	21/3065	H 01 L 21/31	C
	21/31	21/302	J
	21/768	21/90	M
			A

審査請求 未請求 請求項の数20 O L 外国語出願 (全 57 頁)

(21) 出願番号	特願2000-173807(P2000-173807)
(22) 出願日	平成12年6月9日(2000.6.9)
(31) 優先権主張番号	09/329012
(32) 優先日	平成11年6月9日(1999.6.9)
(33) 優先権主張国	米国(US)

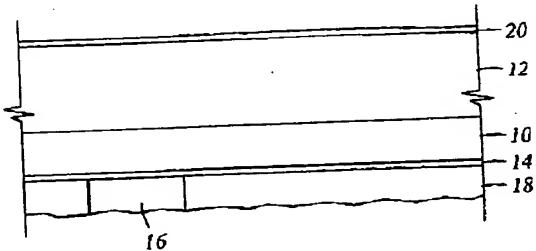
(71) 出願人 390040660  
アプライド マテリアルズ インコーポレ  
イテッド  
APPLIED MATERIALS, I  
NCORPORATED  
アメリカ合衆国 カリフォルニア州  
95054 サンタ クララ パウアーズ ア  
ベニュー 3050  
(74) 代理人 100088155  
弁理士 長谷川 芳樹 (外1名)

最終頁に続く

(54) 【発明の名称】 集積した低k誘電体層とエッチング停止層

(57) 【要約】

誘電率が低くかつエッチング速度が水平相互接続部を形成するのに少なくとも3:1だけ変化する誘電体層を堆積しエッチングする方法。誘電体層中の炭素又は水素の量は、ダマシン適用におけるエッチング停止層又は従来の誘電体層に置換し得る低k誘電体層を設けるために、堆積条件の変化によって変動する。誘電率が約4よりも低い2以上の誘電体層をもつデュアルダマシン構造は、單一のリアクタ内で堆積を行なうことが可能で、次に、一酸化炭素のような炭素:酸素ガスの濃度を様々に変動させることによって垂直又は水平相互接続部を形成するようエッチングされる。垂直相互接続部を形成するためのエッチングガスは、好ましくはCO及びフルオロカーボンを含み、水平相互接続部を形成するためのエッチングガスからは、好ましくはCOガスは除外される。



## 【特許請求の範囲】

【請求項1】 金属間誘電体層を堆積及びエッチングする方法であって、誘電率が約4.0未満である第1誘電体層を堆積する工程と、前記第1誘電体層上に誘電率が約4.0未満である第2誘電体層を堆積する工程と、及び前記第2誘電体層のエッチング速度が前記第1誘電体層のエッチング速度の少なくとも約3倍である条件下で前記第2誘電体層をエッチングする工程と、を含む方法。

【請求項2】 前記第1誘電体層がシリコン、酸素、及び、原子量で少なくとも約5%の炭素を含み、前記第2誘電体層がシリコン、酸素、及び、前記第1誘電体層に含まれる前記炭素の約2/3未満の炭素を含む、請求項1に記載の方法。

【請求項3】 前記第1誘電体層が1種以上のフルオロカーボン化合物及び1種以上の炭素:酸素化合物を含む第1ガス混合物によって垂直相互接続部を形成するようにエッチングされ、前記第2誘電体層が1種以上のフルオロカーボン化合物を含み実質的に炭素:酸素化合物を含まない第2ガス混合物によって水平相互接続部を形成するようにエッチングされる、請求項2に記載の方法。

【請求項4】 前記炭素:酸素化合物が一酸化炭素である、請求項3に記載の方法。

【請求項5】 前記第1誘電体層がシリコン、酸素、炭素、及び原子量で少なくとも1%の水素を含み、前記第2誘電体層がシリコン、酸素、炭素、及び、前記第1誘電体層に含まれる前記水素の1/5未満の水素を含む、請求項1に記載の方法。

【請求項6】 前記第1誘電体層が1種以上のフルオロカーボン化合物及び1種以上の炭素:酸素化合物を含む第1ガス混合物によって垂直相互接続部を形成するようにエッチングされ、前記第2誘電体層が1種以上のフルオロカーボン化合物を含み実質的に炭素:酸素化合物は含まない第2ガス化合物によって水平相互接続部を形成するようにエッチングされる、請求項5に記載の方法。

【請求項7】 前記炭素:酸素化合物が一酸化炭素である、請求項6に記載の方法。

【請求項8】 前記第1誘電体層と第2誘電体層がオルガノシリコン化合物の酸化によって堆積される、請求項1に記載の方法。

【請求項9】 前記オルガノシリコン化合物がメチルシラン又はトリメチルシリコサンである、請求項8に記載の方法。

【請求項10】 誘電率が約4.0未満である第3誘電体層上に前記第1誘電体層が堆積される、請求項1に記載の方法。

【請求項11】 金属間誘電体層を堆積するデュアルダマシン方法であって、

誘電率が約4未満である第1誘電体層を第1オルガノシリコン化合物を酸化することにより堆積させる工程と、前記第1誘電体層上に誘電率が約4未満である第2誘電体層を第2オルガノシリコン化合物を酸化することにより堆積させる工程と、前記第2誘電体層上に誘電率が約4未満である第3誘電体層を第3オルガノシリコン化合物を酸化することにより堆積させる工程と、前記第1誘電体層と第2誘電体層をエッチングして垂直相互接続部を形成させる工程と、及び前記第3誘電体層のエッチング速度が前記第2誘電体層のエッチング速度の少なくとも3倍になる条件下で前記第3誘電体層をエッチングして水平相互接続部を形成させる工程と、を含む方法。

【請求項12】 前記第1、第2、及び第3オルガノシリコン化合物が同じ化合物である、請求項11に記載の方法。

【請求項13】 前記オルガノシリコン化合物がメチルシラン及びトリメチルシリコサンからなる群より選ばれる、請求項12に記載の方法。

【請求項14】 前記第2誘電体層がシリコン、酸素、原子量で少なくとも5%の炭素、及び原子量で少なくとも1%の水素を含み、前記第1誘電体層と第3誘電体層がシリコン、酸素、前記第2誘電体層の前記炭素の2/3未満の炭素、及び前記第2誘電体層の1/5未満の水素を含む、請求項12に記載の方法。

【請求項15】 前記第2誘電体層が1種以上のフルオロカーボン化合物及び1種以上の炭素:酸素化合物を含む第1ガス混合物によってエッチングされて垂直相互接続部を形成し、前記第1ガス混合物が前記フルオロカーボン化合物の全量よりも多い炭素:酸素化合物の全量を含んでいる工程と、及び第3誘電体層が1種以上のフルオロカーボン化合物を含む第2ガス混合物によってエッチングされて水平相互接続部を形成し、前記第2ガス混合物が炭素:酸素化合物の全量よりも多い前記フルオロカーボン化合物の全量を含んでいる、請求項12に記載の方法。

【請求項16】 前記垂直相互接続部が一酸化炭素を含むガスによってエッチングされ、前記水平相互接続部が実質的に一酸化炭素を含まないガスによってエッチングされる、請求項15に記載の方法。

【請求項17】 低誘電率層を堆積する方法であって、様々なシリコン、酸素、炭素、及び水素の含量及び、様々な約4未満の誘電率をもつ第1及び第2誘電体層を得るためにオルガノシリコン化合物を堆積させるための1以上のプロセス条件を変化させる工程と、及び前記第2誘電体層のエッチング速度が前記第1誘電体層のエッチング速度の少なくとも3倍である条件を用いて前記第2誘電体層をエッチングする工程と、を含む方法。

【請求項18】 前記第1誘電体層が原子量で少なくと

も5%の炭素、又は原子量で少なくとも1%の水素を含み、前記第2誘電体層がその第1酸化シリコン層中の前記炭素の2/3未満の炭素、又はその第1酸化シリコン層中の前記水素の1/5未満の水素を含む、請求項17に記載の方法。

【請求項19】 前記第2誘電体層が1種以上のフルオロカーボンを含み実質的に炭素:酸素化合物を含まない第1ガス混合物によってエッティングされて水平相互接続部を形成する、請求項18に記載の方法。

【請求項20】 前記第2誘電体層と同様のシリコン、酸素、炭素、及び水素含量をもつ第3誘電体層上に前記第1誘電体層を堆積させる工程と、  
を更に含む、請求項17に記載の方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】 関連出願

本出願は、1998年2月11日出願の米国特許同時係属出願第09/021,788号[AMAT/2592]の一部継続出願；1998年9月29日出願の米国特許同時係属出願第09/162,915号[AMAT/3032]の一部継続出願；及び1998年11月4日出願の米国特許同時係属出願第09/189,555号[AMAT/3032.P1]の一部継続出願である。

【0002】 本発明は、集積回路の製造に関する。更に詳細には、基板上に誘電体層を堆積及びエッティングする方法及び装置に関する。

##### 【0003】

【従来の技術】 半導体デバイスが数十年前に最初に登場してから、その半導体デバイスの形は、劇的にサイズが小さくなってきた。それ以来、集積回路は、一般的には、2年/半分のサイズの法則にのっとって(しばしばムーアの法則と呼ばれる)おり、これは2年毎にチップ上に載るデバイスの数が倍になっているということを意味している。今日の製造プラントは、規定どおりに0.35μm及び、更に0.18μmのフィーチャサイズのデバイスを生産し、明日のプラントはまもなく更に小さな形のデバイスを生産することになるだろう。

【0004】 集積回路上のデバイスのサイズを更に減少させるためには、隣接した金属ライン間の静電結合を減少させるために抵抗率の低い導電材料及び誘電率( $k \leq 4.0$ )の低い絶縁体を用いる必要がある。興味のある導電材料は、電気化学堆積によってサブミクロンフィーチャの堆積が可能な銅である。興味のある誘電体材料は、炭素を含む酸化シリコンである。酸化シリコン材料と銅の組み合わせが垂直及び水平相互接続部を調製する新規な堆積方法を導き出した。というのも、銅はエッティングして金属ラインを形成するのが容易でないからである。このような方法は、1種以上の誘電体材料を堆積させ、エッティングして、導電材料で充填される垂直及び水平相互接続部を形成させる垂直及び水平相互接続部を堆積するダマシン又はデュアルダマシン方法を含んでいる。

【0005】 誘電体層は、典型的には、基板が個々の工

程に従う処理チャンバ間を頻繁に移動しなければならない複数の工程で堆積し、エッティングされ、金属で充填され得る。誘電体層を堆積させる好ましい方法は、ライン/トレンチがヴィア/コンタクトによって同時に充填されるという2つの支配的なデュアルダマシン方法を含んでいる。『カウンタボア』スキームでは、一連の誘電体層は、本発明の様々な実施形態で詳細に記載されるように基板上に堆積される。次に、ヴィア/コンタクトのような垂直相互接続部は、全ての層を通してエッティングされ、ライン/トレンチのような水平相互接続部は、上層を通してエッティングされる。また、ライン/トレンチは、上層でエッティングされるので、下層を通してヴィア/コンタクトがエッティングされる。導電材料は、次に、垂直及び水平相互接続部の両方に堆積される。

【0006】 デュアルダマシン構造を作り出す他の支配的なスキームは、『セルフアライニングコンタクト』(SAC)スキームとして知られている。SACスキームは、エッティング停止層が下の誘電体層上に堆積し、他の誘電体層がエッティング停止層の上部に堆積する前にエッティングされてヴィア/コンタクトを画成することを除けば、カウンタボアスキームと似ている。垂直及び水平相互接続部は、次に、単一工程と、でエッティングされ、次に導電材料が垂直及び水平相互接続部の両方に堆積する。

【0007】 上の誘電体層が、下の層のエッティング速度に相当する速度の少なくとも約3倍のエッティング速度で上の層がエッティングされる条件(即ち、少なくとも約3:1のエッティング選択性)を用いてエッティングされ得る場合には、カウンタボアスキームは誘電体層間にエッティング停止層を必要としない。しかし、従来の低k誘電体層のエッティングプロセスの選択性は、典型的には3:1未満であり、望ましいエッティング選択性をもつエッティング停止層は、隣接した低いk誘電体層の間で規定通りに使われる。エッティング停止層は、基板表面を横切る水平相互接続部の深さにおいて均一性を与える。エッティング停止層は、更に、水平相互接続部の底が、外側のエッジ部がより深くならずには平坦になるようマイクロトレンチングを減少させる。エッティング停止層は、更に、水平接続部のエッティング中に以前にエッティングされた水平相互接続部のファセット又はフェンスを減少させ、水平相互接続部の底と垂直相互接続部の側壁の間のエッジ部が垂直相互接続部の側壁がエッティングガスに曝されているか又はエッティングガスから遮られているかによって丸くなる(即ち、ファセットにする)か又は隆起する(即ち、フェンスにする)ことなく鋭い。

【0008】 従来のエッティング停止層は、ダマシン適用に記載されているだけの効果しかもたらさない。しかし、従来のエッティング停止層の誘電率は、典型的には4よりもかなり大きい。例えば、窒化シリコンの誘電率は、約7であり、低k誘電体層上のそのようなエッティング停止層の堆積は、本質的に、結合した層の誘電率を増加

させる。窒化シリコンは、他の低k誘電体材料を主要誘電体として用いた場合でさえも、相互接続ライン間の静電結合を著しく増加させることができることも発見された。これは、デバイス全体の性能を下げるクロストーク及び／又は抵抗キャパシタンス(RC)を遅らせることにつながってしまう。

【0009】理想的には、デュアルダマシン方法のように選択的なエッティングプロセスにおいて使われる誘電体層のエッティング選択性が少なくとも約3:1である低k誘電体層が確認され、エッティングプロセスが定義される。好ましくは、望ましいエッティング選択性を与える低k誘電体層は同じチャンバ内で堆積し得る。

#### 【0010】

【課題を解決するための手段】本発明は、誘電率が約4.0(低k)以下である1以上の誘電体層をエッティングする方法であって、誘電体組成の違いによって少なくとも3:1のエッティング選択性がある、前記方法を提供する。本発明は、シリコン、酸素、炭素、及び水素を含む誘電体層のエッティングを含み、一酸化炭素のような炭素:酸素ガスを含まないときに組成の違いによってエッティング選択性が3:1よりも大きい。1種以上のフルオロカーボンガスに炭素:酸素ガスを加えることによって、高い選択性が必要でないときに使われ得る低エッティング選択性においても速いエッティング速度が得られる。誘電体層の少なくとも1つは、好ましくは、高炭素含量(原子量で約1%よりも大きい)又は、高水素含量(原子量で約0.1%よりも大きい)である。炭素:酸素ガスは、隣接した誘電体層の選択的なエッティングが望まれる場合に、例えば、水平相互接続部の形成の場合にエッティングガスから減少又は省略される。

【0011】本発明は、更に、チャンバ間での基板の移送を減少させ、少なくとも3:1の隣接誘電体層間のエッティング選択性で隣接した低k誘電体材料を堆積及びエッティングさせる集積した方法を提供する。高エッティング選択性によって、従来のエッティング停止層を含めずに深さ及び実質的に四角い角が一様である水平相互接続部が与えられる。少なくとも1の誘電体層は、シリコン、酸素、炭素、及び水素を含む。追加される誘電体層は、堆積方法についての回転により又は化学気相成長法によりつくられるように誘電率が約4.0未満であるいかなる誘電体層でも構わない。全ての誘電体層は、好ましくは、堆積した材料のシリコン、酸素、炭素、及び水素の含量を制御することによってエッティング選択性を制御する電力レベル、流速、及び組成変化を用いた1種以上のオルガノシリコン化合物の化学気相成長によってつくられる。

【0012】デュアルダマシンの第1の好適な実施形態は、1種以上のオルガノシリコン化合物、例えば、メチルシラン、 $\text{CH}_3\text{SiH}_3$ 、又はトリメチルシリコキサン、 $(\text{CH}_3)_3\text{-Si-O-Si-(CH}_3)_3$ の酸化によって基板上に第1低k誘電体

層及び第2低k誘電体層を堆積させ、続いて垂直及び水平相互接続部をエッティングする。第1誘電体層は、シリコン、酸素、炭素、及び水素を含み、原子量で好ましくは少なくとも約5%の炭素及び原子量比で少なくとも約1%の水素を含むエッティング停止層である。第2誘電体層は、好ましくは、第2誘電体層に含まれる炭素の2/3未満の炭素又は水素の1/5未満の水素、好ましくは1/2未満の炭素又は1/10未満の水素を含んでいる。次に、垂直及び水平相互接続部がフルオロカーボンガスを用いて低k誘電体層にエッティングされる。一酸化炭素のような炭素:酸素化合物は、垂直相互接続部のエッティングの間にフルオロカーボンガスに加えられ、水平相互接続部のエッティングの間は少なくとも3:1のエッティング選択性を得るために使用されない。水平及び垂直相互接続部は、次に、銅のような導電材料によって充填される。

【0013】ディアルダマシンの第2の好適な実施形態は、第1低k誘電体層、第2低k誘電体層及び、第3低k誘電体層が1種以上のオルガノシリコン化合物、例えば、メチルシラン、 $\text{CH}_3\text{SiH}_3$ 、又はトリメチルシリコキサン、 $(\text{CH}_3)_3\text{-Si-O-Si-(CH}_3)_3$ の酸化によって基板上に堆積され、続いて、垂直及び水平相互接続部がエッティングされる。第2誘電体層は、エッティング停止層であり、シリコン、酸素、炭素、及び水素を含み、好ましくは少なくとも約5%の炭素及び原子量で少なくとも約1%の水素を原子量比で含む。第1及び第3誘電体層は、第2誘電体層に含まれる炭素の好ましくは2/3の炭素及び1/5未満の水素、更に好ましくは、1/2未満の炭素及び1/10未満の水素を含む。次に、垂直及び水平相互接続部がフルオロカーボンガスを用いて低k誘電体層にエッティングされる。一酸化炭素のような炭素:酸素化合物は、垂直相互接続部のエッティングの間にフルオロカーボンガスに加えられ、好ましくは少なくとも3:1のエッティング選択性を得るために水平相互接続部のエッティングの間には使用されない。水平及び垂直相互接続部は、次に、銅のような導電材料によって充填される。

#### 【0014】

【発明の実施の形態】本発明の特徴、利点及び目的を示した上記方法が達成され、詳細に理解され得るように、上に簡単に纏められた本発明の具体的な説明は、添付図面を参照して示される実施形態において言及される。しかし、添付図面は、本発明の典型的な実施形態だけを示しているので、本発明の範囲を制限するものとみなすべきでなく、他の等しい効果的な実施形態も許容してもよいことを留意すべきである。本発明を更に理解するためには、以下の詳細な説明が言及される。

【0015】本発明は、低k誘電体層のエッティング方法を提供する(即ち、kが約4以下、好ましくは約3未満)。本発明は、誘電体組成の違いによってエッティング選択性が少なくとも3:1である1種以上の誘電体層をエッティングする工程を含む。本方法は、理想的には、低k誘電体層

に形成された相互接続部内に銅のような導電材料を堆積させるダマシングスキームのような選択されたエッチングプロセスに適応する。好適な実施形態においては、本発明は、水素及び炭素を含む低k誘電体層のエッチング選択性を制御するためにフルオロカーボンエッチングガスと共に炭素:酸素ガスの組み合わせを制御する工程を含む。本発明は、更に、低誘電率及び誘電体層の1つに望まれる少なくとも3:1のエッチング選択性を得るために隣接誘電体層の炭素と水素の含量についての制御を提供する。従って、低k誘電体層は、誘電率の高い従来のエッチング停止材料、例えば、窒化シリコンをダマシングスキームのような堆積及びエッチングプロセスから除外するのに十分なエッチング選択性を与える。誘電率の低いエッチング速度の遅い誘電体層は、本明細書に記載されると同じエッチング条件を用いた他の誘電体層と比べて多くのプロセスにおいてエッチング停止層を置き換え又は削除し得る。本発明の集積堆積方法及びエッチング方法は、また、エッチングに先立って单一チャンバ内で全ての誘電体層を堆積させることによってチャンバ間の基板移送を減少させる。

【0016】本発明の方法は、シリコン、炭素、酸素、及び水素を含む第1低k誘電体層を堆積する工程を含む、集積デュアルダマシン方法を与える。第1低k誘電体層上に堆積する第2低k誘電体層は、第1誘電体層に含まれる炭素の好ましくは2/3未満の炭素又は1/5未満の水素、更に好ましくは、1/2未満の炭素及び1/10未満の水素を含む。両方の誘電体層が急勾配の側壁及び鋭い角をもった垂直相互接続部を形成するために、例えば、フルオロカーボンと一酸化炭素のような炭素:酸素化合物の混合物によってエッチングされ得る。炭素又は水素含量の低い誘電体層は、炭素又は水素含量の低い誘電体層に望まれる少なくとも3:1の選択性を与るために、例えば炭素:酸素ガス流を減少又は削除することにより選択的にエッチングされる。

【0017】少なくとも1%原子量の炭素又は少なくとも0.1%原子量の水素を含む酸化シリコン層は、堆積した材料の炭素及び水素含量を制御する電力レベル、流速、及び組成変化を用いたスピノン法、又は1種以上のオルガノシリコン化合物の化学気相成長によってつくられる。様々な炭素又は水素含量の低k誘電体層は、デュアルダマシン法において全ての誘電体層を与るために单一チャンバ内で堆積が可能である。堆積した誘電体層は、次に、誘電率が約4未満、好ましくは約3未満である隣接した誘電体層間で少なくとも3:1のエッチング選択性を与るためにエッチングされたフィーチャの表面を不動態化堆積物を制御するガスによってエッチングされる。

【0018】本発明は、広範囲には、隣接した低k誘電体層をエッチングする工程と、を含む。前述の本発明の範囲は、炭素又は水素を含む誘電体層をエッチング又は

堆積させる下記の好適実施形態の説明によって十分に支持される。

【0019】第1の好適なディアルダマシン方法

図1A-図1Hに示される好ましいデュアルダマシン方法は、エッチングガスがフルオロカーボンガスを含み、実質的に全く炭素:酸素混合物を含まないときに両層間のエッチング選択性が少なくとも3:1である2つの隣接した低k誘電体層10、12のエッチングを含む。換言すると、隣接する低k誘電体層は、組成が異なり、エッチングガスがフルオロカーボンガスを含み、実質量の炭素:酸素ガスを含まないときに第2層12のエッチング速度は第1層10のエッチング速度の少なくとも3倍である。第1誘電体層10は、第2誘電体層12のエッチングの間、エッチング停止層として機能する。一酸化炭素のような炭素:酸素化合物をエッチングガスに加えることによって、エッチングガスの組成を実質的に変化させることなしにエッチングが可能なように誘電体層10、12のエッチング速度が変わる。

【0020】図1Aを参照すると、シリコン、酸素、炭素、及び水素を含む第1低k誘電体層10、例えば、スピノン低k誘電体(ドープした)又はC-H結合及びC-Si結合を含むオルガノシリコン化合物の酸化によって堆積したCVD層は、バリヤ層14上に堆積される。第1低k誘電体層10は、原子量で好ましくは少なくとも約5%の炭素又は原子量で少なくとも約1%の水素を含む。第2低k誘電体層12、例えば、スピノン低k誘電体(ドープした又はドープしていない)又はオルガノシリコン化合物の酸化によって堆積したCVD層は、第1誘電体層10に含まれる炭素の約2/3未満の炭素及び水素の約1/5未満の水素、好ましくは、1/2未満の炭素及び1/10未満の水素を含む。誘電体層10、12は、典型的には、先の誘電体層18のフィーチャを充填する銅のような導電材料16が誘電体層に拡散しないように働くバリヤ層14、窒化シリコン又は炭化シリコン上に堆積する。第1誘電体層10とバリヤ層14間のエッチング選択性は、少なくとも2:1である。ホトレジスト層20又はハードマスク層は、誘電体層にエッチングされたパターンを移すために誘電体層10、12の重なりの上に堆積する。第1誘電体層10は、1種以上のフルオロカーボンガスを含み実質的に炭素:酸素ガスを含まないガスによってエッチングされるとときにエッチング速度が第2誘電体層12のエッチング速度の少なくとも1/3である十分な炭素又は水素を含む。

【0021】様々な炭素及び水素含量の層を得るために第1及び第2誘電体層10、12を堆積する方法については、下で詳述する。炭素含量(原子量で約1%未満)が低く水素含量(原子量で約0.1%未満)の低い低k誘電体層の堆積は、また、酸化シリコンを堆積する従来の方法を用いて、例えば、テトラエトキシシランとして知られるテトラエチルオルトシリケート(TEOS)の酸化により行われる。

【0022】第1誘電体層10は、好ましく約5,000～約10,000オングストロームの厚さに堆積する。第2誘電体層12は、次に、約5,000～約10,000オングストロームの厚さに堆積する。誘電体層10, 12は、メチルシラン又はトリメチルシロキサンのような同じ反応成分を用いて下記の実例に記載される流速及び又は電力レベルを変化させることによって同じチャンバ内で堆積が可能である。バリヤ層14が炭化シリコン層のとき、バリヤ層も同じオルガノシリコン化合物を用いた誘電体層として同じチャンバ内で堆積してもよい。

【0023】第1誘電体層が第2誘電体層の堆積より先にエッティングされるにも拘わらず、フルオロカーボンガス及び炭素:酸素ガスの混合したガスによるエッティングよりも先に両方の誘電体層の堆積を行なうことが好ましい。

【0024】図1Bを参照すると、ホトレジスト又はハードマスク20は、第2誘電体層12がエッティングされるように水平相互接続部22を画成するようにパターン形成される。下の実施形態に示されるように、垂直相互接続部を画成するパターンが最初に使われる。酸化シリコン層に用いられる典型的なホトレジストは、デュポンデネマースケミカル社(du Pont de Nemours Chemical Company)によって製造された『RISTON』である。ホトレジストは、UV光に曝され、パターンを画成し、次に、ホトレジストの一部が取り除かれる。炭素又は水素を含む酸化シリコン層のようなハードマスクは、ホトレジストの下に使われ、ホトレジストでパターンが発生した後に、下に記載されるようにエッティングされる。ホトレジスト又はハードマスクは、次に、下地層に移されるパターンを与える。

【0025】図1Cを参照すると、水平相互接続部22は、次に、実質量の炭素:酸素ガスを含まない1種以上のフルオロカーボンを組み合わせたガスを用いて第2誘電体層12にエッティングされる。水平相互接続部を形成するための誘電体層のエッティングは、好ましくは、アルゴン及びCF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>及びC<sub>4</sub>F<sub>8</sub>より選ばれた1種以上のガスを含むガス混合物によって行なわれる。水平相互接続部22をパターン形成するために使われるホトレジスト20又は他の材料は、次に、好ましくは、例えば、酸素とアンモニアガスの組み合わせ、又は他の適した方法による酸素/水素アッシングプロセスによって取り除かれる。

【0026】図1Dを参照すると、第2レジスト層24又はハードマスクは、水平相互接続部22上に堆積し、平坦な表面は、垂直相互接続部26を画成するパターンを移すために設けられる。ホトレジストは、パターンを画成するようにUV光に曝され、次に、ホトレジストの一部分は、垂直相互接続部26を画成するために除去される。ホトレジスト24又はハードマスクは、続くエッティングの間、下地層に移されるパターンを与える。垂直相互接続部が次の実施形態に記載されるように最初にエッティングされる

と、第2レジスト層又はハードマスクは水平相互接続部の画成に使用される。

【0027】図1Eを参照すると、第1誘電体層10及びバリヤ層14は、次に、1種以上のフルオロカーボンと炭素:酸素ガスを組み合わせたガスを使って垂直相互接続部26を完成させるためにエッティングされる。垂直相互接続部を形成するための誘電体層のエッティングは、好ましくは、アルゴン、CO、及びCF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>、及びC<sub>4</sub>F<sub>8</sub>より選択される1種以上のガスの混合物によって行なわれる。図1Fを参照すると、垂直相互接続部26を形成するために使われるいかなるホトレジスト又は他の材料は、好ましくは、酸素/水素アッシングプロセスを用いて、例えば、酸素とアンモニアガスの組み合わせ、又は他の適切なプロセスによって取り除かれる。

【0028】図1Gを参照すると、窒化タンタルのような適したバリヤ層28は、金属が周囲のシリコン及び/又は誘電体材料に入り込まないように、最初に水平及び垂直相互接続部22、26にコンホーマルに堆積する。図1Hを参照すると、水平及び垂直相互接続部22、26は、次に、アルミニウム、銅、タンクステン又はその組み合わせの材料のような導電材料30によって充填される。現在の流行は、より小さいフィーチャを形成する銅がその低抵抗率のために使われる(アルミニウムの3.1mW-cmに比べて、銅は、1.7mW-cmである)。銅は、導電構造を形成するために化学気相成長、物理気相成長、電気めつき、又はその組み合わせのいずれかを用いて堆積する。一旦、銅又は他の金属で構造が充填されると、表面は、図1Hで示されるようにケミカルメカニカルポリシングを使って平坦化される。

【0029】代替的な実施形態においては、図1A-図1H中の第1誘電体層10は、最初の酸化シリコン層(図示されていない)、例えば、TEOSの酸化によって得られるような層上に、第1誘電体層10とバリヤ層14間のエッティング選択性が2:1未満であるときに、例えば、バリヤ層14が窒化シリコンであり、誘電体層が原子量で5%を超える炭素又は原子量で1%を超える水素を含むときに堆積される。最初の誘電体層は、バリヤ層が垂直相互接続部の一部から完全に取り除かれる前に、垂直相互接続部26が十分にエッティングされるようにバリヤ層14に関してエッティング選択性が少なくとも2:1であるように選ばれる。最初の酸化層は、垂直相互接続部がバリヤ層に完了する時間を与えるために、厚さが好ましくは約1,000オングストローム～約3,000オングストロームである。

【0030】第2の好適なデュアルダマシング方法図2A-図2Hに示される他の好ましいデュアルダマシング方法は、2つの低k誘電体層42、44の間でエッティング停止層40として機能する、k誘電体層の低い従来のエッティング停止層に取って代わられる。誘電体層42、44のエッティング速度は、エッティングガスがフルオロカーボンガスを含み実質的に炭素:酸素化合物を含まないガスのときに、

エッチング停止層40のエッチング速度の少なくとも3倍である。好ましくは、誘電体層及びエッチング停止層は、エッチング停止層が多量の炭素又は水素を含む以外は同じような組成をもっている。

【0031】図2Aを参照すると、第1低k誘電体層42及び第3低k誘電体層44は、スピノン低k誘電体上(ドープした又はド-ブしていない)又はオルガノシリコン化合物の酸化により堆積したCVD層のような少量の炭素及び水素を含む。第2低k誘電体層40、エッチング停止層は、スピノン低k誘電体(ドープした)又はC-H結合及びC-Si結合をもつオルガノシリコン化合物の酸化により堆積したCVD層のような比較的多量の炭素又は水素を含む。第2低k誘電体層40は、好ましくは、原子量で少なくとも約5%の炭素又は原子量で少なくとも約1%の水素を含む。第1及び第3低k誘電体層42、44は、第2誘電体層40に含まれる炭素の2/3未満の炭素又は1/5未満の水素、好ましくは、1/2未満の炭素及び1/10未満の水素を含む。誘電体層42、40、44は、典型的には、低誘電体層50のフィーチャを充填する銅のような導電材料48を保護する窒化シリコン又は炭化シリコンのようなバリヤ層46上に堆積する。第1誘電体層42及びバリヤ層14のエッチング選択性は、少なくとも2:1である。

【0032】ホトレジスト層又はハードマスク層52は、誘電体層40、42、44の重なりの上に堆積し、誘電体層でエッチングされるパターンを移す。エッチング停止層40は、好ましくは、エッチングガスが実質的に炭素:酸素ガスを含まないときに、エッチング速度が第1及び第3誘電体層42、44のエッチング速度の少なくとも1/3であるのに十分な炭素又は水素を含む。様々な炭素及び水素含量をもつ誘電体層の堆積については、下で詳述される。

【0033】第1及び第3誘電体層42、44は、好ましくは約5,000～約10,000オングストロームの厚さに堆積する。エッチング停止層40は、好ましくは約500～約1,000オングストロームの厚さに堆積する。第1及び第3誘電体層42、44及びエッチング停止層40は、流速及び又は電力レベルを下の実例に記載されるように変化させることで同じ反応成分を用いて同じチャンバ内で堆積可能である。バリヤ層46が炭化シリコン層のとき、バリヤ層は誘電体層と同じチャンバ内で堆積されてもよい。

【0034】図2Bを参照すると、ホトレジスト52 ハードマスクは、次に、第1及び第3低k誘電体層42、44及びエッチング停止層40にエッチングされる垂直相互接続部54を画成するようにパターン形成される。上記第1実施形態に示されるように、水平相互接続部を画成するパターンは最初に用いられる。酸化シリコン層に使われる典型的なホトレジストは『RISTON』で、デュポンデネマースケミカル社(du Pont de Nemours Chemical Company)製である。ホトレジストは、パターンを画成するためにUV光に曝され、次に、ホトレジストの一部分は取り除かれる。炭素又は水素を含む酸化シリコン層のようなハー

ドマスクは、下に記載のようにホトレジストの下に用いられ、ホトレジストでパターンが発生した後にエッチングされる。ホトレジスト又はハードマスクは、次に、下地層に移されるパターンを与える。

【0035】図2Cを参照すると、垂直相互接続部54は、次に、第1及び第3低k誘電体層42、44、低kエッチング停止層40、及びバリヤ層46中にフルオロカーボン及び炭素:酸素ガスを組み合わせたガスを用いてエッチングされる。垂直相互接続部を形成する誘電体層のエッチングは、好ましくは、アルゴン、CO、及び、CF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>、及びC<sub>4</sub>F<sub>8</sub>より選ばれた1種以上のガスを含むガスの混合物によって行なわれる。いかなるホトレジスト52又は垂直相互接続部54をパターン形成するに使われる他の材料も、好ましくは、酸素/水素アッシングプロセス、例えば、酸素及びアンモニアガスの組み合わせ、又は、必要ならば他の適当なプロセスによって取り除かれる。

【0036】図2Dを参照すると、第2レジスト層55又はハードマスクは、堆積し、次に水平相互接続部56を画成するようにパターン形成される。ホトレジストは、パターンを画成するためにUV光に曝され、次にホトレジストの一部分が水平相互接続部56を画成するために除去される。水平相互接続部が最初にエッチングされれば、第2レジスト層又はハードマスクは、第1実施形態で前述したように、水平相互接続部を画成するために使われる。もし、下地層48のエッチングを減少させたい場合は、ホトレジストは垂直相互接続部54の底に残される。

【0037】図2Eを参照すると、第3誘電体層44は、次に、水平相互接続部56を完了するために1種以上のフルオロカーボンを含み、実質量の炭素:酸素ガスを含まないガスを用いてエッチングされる。水平相互接続部56を形成する誘電体層のエッチングは、好ましくは、エッチング停止層40に関して少なくとも3:1の選択性を与えるために、アルゴンとCF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>、及びC<sub>4</sub>F<sub>8</sub>より選ばれた1種以上のガスの混合物によって行なわれる。炭素:酸素ガスは、エッチング停止層40のエッチング速度が遅くなるように減少省略される。図2Fを参照すると、いかなるホトレジスト又は水平相互接続部56をパターン形成するに使われる他の材料も、水平及び垂直相互接続部56、54を充填する前に取り除かれる。ホトレジストは、好ましくは、酸素/水素アッシングプロセス、例えば、酸素とアンモニアガスの組み合わせ、又は他の適当なプロセスによって取り除かれる。

【0038】図2Gを参照すると、窒化タンタルのような適切なバリヤ層58は、周囲のシリコン及び/又は誘電体材料中に金属が導入されるのを防ぐために、先ず、水平及び垂直相互接続部56、54の中にコンホーマルに堆積する。図2Hを参照すると、水平及び垂直相互接続部56、54は、次に、第1実施形態に記載されているように、アルミニウム、銅、タンクステン又はその組み合わせのような導電材料60によって充填される。

【0039】エッチングプロセスの選択性に応じて、水平又は垂直相互接続部は、それぞれの誘電体層が堆積した後に、エッチングされ得る。また、エッチング停止層は、第3誘電体層の堆積の前にエッチングされる。しかし、付加的なチャンバ間の基板の移送は、誘電体層の堆積及びエッチング間の交換を必要とする。

【0040】代替的な実施形態においては、図2A-図2Hでのエッチング停止40は、誘電率が約4.0よりも大きい従来の誘電体層42上に堆積した窒化シリコン又は炭化シリコン層でもよい。従って、従来の誘電体層42が十分に垂直相互接続部54を孤立させる一方で、低k誘電体層44は水平相互接続部56の分離を増強する。

#### 【0041】低k誘電体層の堆積

本発明は、誘電率(k約4.0以下)が低く、エッチング速度が誘電体層中に水平相互接続部を形成するのに適したエッチング条件下で隣接した低k誘電体層のエッチング速度の少なくとも1/3である誘電体層を提供する。そのような低k誘電体層は、炭素及び水素を含む炭化シリコン層又は酸化シリコン層が形成されるスピンドル又はCVD法によってつくることができる。様々なエッチング速度をもつ低k誘電体層は、下記の説明に記載されるように、プロセスガスの量を変化させることによって同じチャンバ内で作製することが可能である。

【0042】好ましい低k誘電体層は、メチルシラン、 $\text{CH}_3\text{SiH}_3$ 、ジメチルシラン、 $(\text{CH}_3)_2\text{SiH}_2$ 、トリメチルシラン、 $(\text{CH}_3)_3\text{SiH}$ 、1, 1, 3, 3-テトラメチルダイシロキサン、 $(\text{CH}_3)_2\text{SiH}-0-\text{SiH}-(\text{CH}_3)_2$ 、又はトリメチルシロキサン、 $(\text{CH}_3)_3\text{Si}-0-\text{Si}-(\text{CH}_3)_3$ のようなC-H結合とC-Si結合の両方をもつオルガノシリコン化合物の酸化によってつくられる。酸化シリコン層は、性質を安定させるために低圧高温で硬化される。堆積した誘電体層の炭素及び水素含量は、例えば、他のオルガノシリコン化合物に変えることによって、酸素、オゾン、一酸化二窒素、及び水のような様々な酸化ガスによって酸化することによって、堆積の間、高周波電力レベルを様々に変えることによって、及びプロセスガスの流速を変化させることによって、プロセス条件を様々に変えて制御する。

【0043】酸化シリコン又は炭化シリコン層に残っている炭素又は水素は、低誘電率、優れたバリア性能、及びエッチング速度の減少に貢献する。酸化シリコン層又は炭化シリコン層は、プロセス条件における酸化によつても容易に取り除かれない有機基中に炭素を含むシリコン化合物からつくられる。好ましくは、アルキル基又はアリール(aryl)基のようなC-H結合が含まれる。適切な有機基は、また、アルケニル基及びシクロヘキセニル基及び機能性誘導体を含み得る。オルガノシリコン化合物は、様々な炭素とシリコンとの比を含み、下記が含まれる。

#### 【0044】メチルシラン、 $\text{CH}_3\text{SiH}_3$

メチルシラン、 $(\text{CH}_3)_2\text{SiH}_2$

トリメチルシラン、 $(\text{CH}_3)_3\text{SiH}$   
 テトラメチルシラン、 $(\text{CH}_3)_4\text{Si}$   
 ジメチルシランジオール、 $(\text{CH}_3)_2\text{Si}-0-\text{OH}_2$   
 エチルシラン、 $\text{CH}_3-\text{CH}_2-\text{SiH}_3$   
 フェニルシラン、 $\text{C}_6\text{H}_5-\text{SiH}_3$   
 ジフェニルシラン、 $(\text{C}_6\text{H}_5)_2\text{SiH}_2$   
 ジフェニルシランジオール、 $(\text{C}_6\text{H}_5)_2\text{Si}-0-\text{OH}_3$   
 メチルフェニルシラン、 $\text{C}_6\text{H}_5-\text{SiH}_2-\text{CH}_3$   
 ジシラノメタン、 $\text{SiH}_3-\text{CH}_2-\text{SiH}_3$   
 ビス(メチルシラノ)メタン、 $\text{CH}_3-\text{SiH}_2-\text{CH}_2-\text{SiH}_2-\text{CH}_3$   
 1, 2-ジシラノエタン、 $\text{SiH}_3-\text{CH}_2-\text{CH}_2-\text{SiH}_3$   
 1, 2-ビス(メチルシラノ)エタン、 $\text{CH}_3-\text{SiH}_2-\text{CH}_2-\text{CH}_2-\text{SiH}_2-\text{CH}_3$   
 2, 2-ジシラノプロパン、 $\text{SiH}_3-\text{C}(\text{CH}_3)_2-\text{SiH}_3$   
 1, 3, 5-トリシラノ-2, 4, 6-トリメチレン、 $-(\text{SiH}_2\text{CH}_2)_3$   
 -(環状)  
 1, 3-ジメチルジシロキサン、 $\text{CH}_3-\text{SiH}_2-0-\text{SiH}_2-\text{CH}_3$   
 1, 1, 3, 3-テトラメチルジシロキサン、 $(\text{CH}_3)_2\text{SiH}-0-\text{SiH}_2-\text{CH}_3$   
 トライメチルシロキサン、 $(\text{CH}_3)_3\text{Si}-0-\text{Si}-(\text{CH}_3)_3$   
 1, 3-ビス(シラノメチレン)ジシロキサン、 $(\text{SiH}_3-\text{CH}_2-\text{SiH}_2)_2-\text{CH}_2-\text{O}$   
 ビス(1-メチルジシロキサニル)メタン、 $(\text{CH}_3-\text{SiH}_2-0-\text{SiH}_2)_2-\text{CH}_2$   
 2, 2-ビス(1-メチルジシロキサニル)プロパン、 $(\text{CH}_3-\text{SiH}_2-0-\text{SiH}_2)_2-\text{CH}_2-\text{C}(\text{CH}_3)_2$   
 2, 4, 6, 8-テトラメチルシクロテトラシロキサン、 $-(\text{SiH}_2-\text{CH}_2-\text{SiH}_2-0)_4$   
 -(環状)  
 オクタメチルシクロテトラシロキサン、 $-(\text{Si}(\text{CH}_3)_2-0)_4$   
 -(環状)  
 2, 4, 6, 8, 10-ペンタメチルシクロペンタシロキサン、 $-(\text{SiH}_2-\text{CH}_2-\text{SiH}_2-0)_5$   
 -(環状)  
 1, 3, 5, 7-テトラシラノ-2, 6-ジオキシ-4, 8-ジメチレン、 $-(\text{SiH}_2-\text{CH}_2-\text{SiH}_2-0)_2$   
 -(環状)  
 2, 4, 6-トリシラントラヒドロピラン、 $-\text{SiH}_2-\text{CH}_2-\text{SiH}_2-\text{CH}_2-\text{SiH}_2-0$   
 -(環状)  
 及び、  
 2, 5-ジシランテトラヒドロフラン、 $-\text{SiH}_2-\text{CH}_2-\text{CH}_2-\text{SiH}_2-0$   
 -(環状)  
 及び、その誘導体。

【0045】オルガノシリコン化合物は、好ましくは、酸素( $\text{O}_2$ )又は、亜酸化窒素( $\text{N}_2\text{O}$ )、オゾン( $\text{O}_3$ )、二酸化炭素( $\text{CO}_2$ )、及び水( $\text{H}_2\text{O}$ )、好ましくは $\text{O}_2$ 又は $\text{N}_2\text{O}$ の様々な含酸素化合物と、堆積した層の炭素含量が原子量で少なくとも1%になり、堆積した層の水素含量が原子量で少なくとも0.1%になるように反応させることにより、堆積が起こる間に酸化される。酸化オルガノシリコン層の誘電率は、好ましくは約3.0以下である。酸化オルガノシリコン層は、従来の酸化シリコン化合物に比べて、低いエッチング速度を与える。

【0046】オルガノシリコン化合物は、また、化合物を解離するに十分なエネルギーを供給することによって炭化シリコン層として堆積し得る。炭化シリコン層は、堆積した層のエッティング速度を様々に変化するのを助けるために少量の酸素を含んでもよい。

【0047】オルガノシラン又はオルガノシロキサン中の炭化水素基は、部分的にフッ素化されてC-H結合をC-F結合に変換することができる。好ましいオルガノシラン又はオルガノシロキサン化合物の多くは、市販されている。オルガノシラン又はオルガノシロキサンの2種以上の組み合わせは、誘電率、酸化物含量、疎水性、膜応力、及びプラズマエッティング特性のような望ましい性質の配合物を得るために用い得る。

【0048】堆積した層において望ましい炭素含量を達成する必要があるときは、酸素又は酸素を含む化合物は、好ましくは、反応性を増加させるよう解離される。高周波電力は、酸化化合物の解離を増加させるために堆積チャンバに結合され得る。減少量の酸素又は減少した酸素の解離は、結果として、炭素含量が高くなり、特に、Si-O結合に比べてC-H又はSi-CH<sub>3</sub>結合の量が多くなる。酸化化合物は、また、シリコン含有化合物の過度の解離を減少させるために、堆積チャンバに入る前にマイクロ波チャンバ内で解離されてもよい。酸化シリコン層の堆積は、継続的又は断続的である。好ましくは、堆積は、単一の堆積チャンバ内で行なわれるが、層は、順次2以上の堆積チャンバ内で堆積され得る。更に、高周波電力は、基板の熱を減少させると共に堆積した層の多孔性を促進するために循環又はパルス供給し得る。酸化シリコン層の堆積の間、基板は約-20℃～約400℃の温度で維持され、好ましくは約-20℃～40℃の温度に維持される。

【0049】酸化したオルガノシリコン化合物は、堆積した層を形成するための半導体基板のパターン形成層のようなコンタクト表面に接着する。堆積した層は、低圧で約100℃～約450℃、好ましくは約400℃より高い温度での温度に硬化され、層のバリヤ特性を安定化する。堆積した層は、バリヤ特性を与えるに十分な水素含量を有する。炭素含量は、好ましくは、優れた水分バリヤである疎水層を与えるC-H又はC-F結合を含んでいる。

【0050】本発明の方法は、反応域を含む容器、基板を反応領域に固定するカソードペデスタル、及び真空システムからなる基板処理システムを使用する。処理システムは、更に、容器の反応領域をオルガノシラン又はオルガノシロキサン化合物の供給に接続しているガス/液体分配システム、酸化ガス、及び不活性ガス、及び反応域にプラズマを発生させるためのガス分配システムに結合した高周波源を含んでいる。処理システムは、更に、容器、ガス分配システム、及び高周波源を制御するコンピュータを含むコントローラ、及びコントローラに結合したメモリを含み、メモリは、オルガノシラン又はオル

ガノシロキサン化合物と酸化ガスのプラズマで低誘電率の層を堆積する工程を選択する、コンピュータが解読可能なプログラムコードを含むコンピュータが利用できる媒体を含んでいる。

【0051】堆積した酸化シリコン層のエッティングは、米国特許第5,843,847号に記載されているような従来のエッティングチャンバ内で行なわれる。この説明は本明細書に援用されている。好ましいエッティングチャンバは、カリフォルニア州サンタクララのアプライドマテリアルズ社(Applied Materials, Inc.)から入手可能なIPSチャンバである。<sup>1</sup> 847特許には、更に、誘電体層のエッティングが記載され、その説明も本明細書に援用されている。

【0052】本発明の説明は、更に、本発明の酸化シリコン層の堆積及びエッティングに特有の装置に関し、デュアルダマシン酸化シリコン層の好ましい堆積及びエッティングの好ましい手順に関する。

【0053】具体的なCVDプラズマリアクタとプロセス本発明の方法が行われる適切なCVDプラズマリアクタは、図3に示されている。この図は、高真空域115をもつ平行プレート化学気相成長リアクタ110の縦断面図である。リアクタ110は、リフトモータ114によって持ち上げられ又は下げられる基板支持プレート又はサセプタ112上に置かれている基板又はウエハ(図示されていない)に、マニホールド中に空いている孔を通してプロセスガスを分散させるためのガス分配マニホールド111を含む。液体注入システム(図示されていない)、典型的にはTEOSの液体注入に使用されるようなものが液体のオルガノシラン及び/又はオルガノシロキサン化合物を注入するに設けられてもよい。好ましいオルガノシランはガスである。

【0054】リアクタ110は、抵抗加熱コイル(図示されていない)又は外部ランプ(図示されていない)などによってプロセスガスと基板を加熱することを含んでいる。図3を参照すると、サセプタ112は、サセプタ112(及びサセプタ112の上面に支持されているウエハ)が下方のローディング/オフローディング位置と上のマニホールド111に非常に隣接した処理位置の間を制御可能に移動させられるように支持ステム113上に取り付けられる。

【0055】サセプタ112及びウエハが処理位置114にあるときには、インシュレータ117が周設され、プロセスガスがマニホールド124内に排気される。処理中、マニホールド111に流入したガスは、ウエハ表面に一様に放射状に分配される。スロットルバルブのある真空ポンプ132は、チャンバからのガスの排気速度を制御する。

【0056】マニホールド111に到達する前に、堆積ガス及びキャリヤガスは、ガスライン118を通ってそれらが混ぜられる混合システム119へ運ばれ、次にマニホールド111へ送られる。任意のマイクロ波アリケータ128は、酸化ガスのみを解離する追加のエネルギーを供給するに酸化ガスの注入ガスライン上に位置し得る。マ

イクロ波アプリケータは、0~6000Wを供給する。一般的に、それぞれのプロセスガスのプロセスガス供給ライン118は、また、(i)チャンバへのプロセスガス流を自動的に手動で止めるために用いられる安全遮断バルブ(図示されていない)、(ii)ガス供給ラインを通って流れるガスを計測するマスフローコントローラ(これも図示されていない)も含んでいる。毒性ガスがプロセスに使用されるときは、いくつかの安全遮断バルブが、従来の配置のそれぞれのガス供給ライン上に位置する。

【0057】リアクタ110で行なわれる堆積プロセスは、熱プロセス又は高プラズマプロセスのどちらかである。プラズマプロセスでは、制御プラズマが、典型的には、高周波電源125(サセプタ112が接地された)から分配マニホールド111に印加した高周波エネルギーによってウエハに隣接して形成される。また、高周波電力はサセプタ112に供給されるか又は高周波電力は異なる周波数で異なる部品に供給される。高周波電源125は、高真空間域115に導入される反応物質の分解を高めるために単一の又は混合された周波数の高周波電力を供給できる。混合された周波数の高周波電源は、典型的には13.56MHzの高い周波数(RF1)で分配マニホールド111に電力を供給し、360KHzの低い周波数(RF2)でサセプタ112に電力を供給する。本発明の酸化シリコン層は、最も好ましくは、一定の高周波数の高周波電力を低レベルで、又は高周波数の高周波電力のパルスを使ってつくられる。パルス高周波電力は、衝撃サイクルの約10%から約30%の間に、好ましくは約20W~約500W、最も好ましくは20W~約250Wで13.56MHzの高周波電力を供給する。一定の高周波電力は、好ましくは、約10W~約200W、好ましくは約20W~約100Wで13.56MHzの高周波電力を供給する。低電力堆積は、好ましくは、約-20°C~約40°Cの温度範囲で起こる。好ましい温度範囲において、堆積の間に堆積した層が部分的に重合し、続く層の硬化の間に重合が完了する。

【0058】炭化シリコン層の堆積で、実質的に反応域に導入される酸素源を含まずに反応が起こる。好ましくは、13.56MHz高周波電源が陰極及び陽極で約4.3~10ワット/cm<sup>2</sup>の電力密度で、約300~700ワットを印加し、オルガノシリコン化合物によってチャンバ内にプラズマを形成する。SiCの堆積の間、基板表面温度は約200°C~400°Cの間に維持される。『最も好ましい』と表される最適プロセス様式では、トリメチルシリラン又はメチルシリランの流速は、約50~200sccm、ヘリウム又はアルゴン流速は、約200~1000sccm、チャンバ圧は、約6~約10Torr、高周波電力は、約400~約600ワットで、電力密度は、約5.7~8.6ワット/cm<sup>2</sup>、基板表面温度は、約300°C~400°Cに維持される。

【0059】典型的には、あらゆる又は全てのチャンバライニング、分配マニホールド111、サセプタ112、及び様々な他のリアクタハードウェアは、アルミニウム又は

陽極酸化アルミニウムのような材料からつくられる。CDリアクタのような例は、Wangらに発行され本発明の譲受人であるアプライドマテリアルズ社(Applied Materials, Inc.)に譲渡された熱CVD/PECVDリアクタ及び二酸化シリコンの熱化学気相成長の使用及び現場での多段平坦化法と称する米国特許第5,000,113号に記載されている。

【0060】リフトモータ114は、処理位置とその下のウエハ装填位置の間でサスペナ112を上下させる。モータ、ガス混合システム119、及び高周波電源125は、制御ライン136にわたってシステムコントローラ134によって制御される。リアクタは、マスフローコントローラ(MFC)のようなアナログアセンブリ、標準又はパルス高周波電源を含み、好ましい実施形態ではハードディスクドライブであるメモリ138に記憶されているシステム制御ソフトウェアによって実行されるシステムコントローラ134によって制御される。モータと任意のセンサは、真空ポンプ132のスロットルバルブ及びサスペナ112を配置するモータのような可動機械アセンブリの位置を移動し決定するために使われる。

【0061】上記のCVDシステムの説明は、主に例示のためであり、サイクロトロン電子共鳴(ECR)プラズマCVDデバイス、誘導結合高周波高密度プラズマCVDデバイス等の他のプラズマCVD装置が使用されてもよい。更に、サスセプタ設計、ヒータ設計、高周波電力接続の位置等の変更のような上記システムの変更も可能である。例えば、ウエハは、抵抗加熱サセプタによって支持され加熱され得る。本発明の前処理層を形成するための前処理及び方法は、特定の装置又は特定のプラズマ励起法に限定はされない。

【0062】処理チャンバ内に堆積した低k誘電体のエッチング速度は、プロセスガスの流速及びリアクタの電力レベルを調節して望ましい炭素及び水素含量の誘電体層を堆積させることにより制御される。表1に記載されている好ましい誘電体層A-DのSi-CH<sub>3</sub>、Si-H、又は、C-H結合とSi-O結合の数の相対比率は、図4に示されている。層Dの原子分析に基づいて、層A-Dの算出した水素及び炭素含量は、原子量パーセントで表1に示されている。図4において、A-Cは、34sccmのメチルシリラン流速を表し、Dは、68sccmの流速を表す。A及びDは、電力レベル80Wのもので、Bは、電力レベル300Wで、Cは、電力レベル20Wである。層A-Dを堆積させる残りの条件は、表1に示されている。表1及び図4は、本発明の態様であるプロセス条件での変化に基づいた水素及び炭素含量の可変性を表している。炭素又は水素含量の変化は、次に、下で詳述される低い炭素含量又は低い水素含量をもつ層の選択的エッチングを与えるために使われる。

【0063】

【表1】

表1. 種々の炭素及び水素含量のプロセス条件

処方	A	B	C	D
メチルシラン(sccm)	34	34	34	68
N <sub>2</sub> O(sccm)	360	360	360	360
He(sccm)	2000	2000	2000	2000
電力(W)	80	300	20	80
間隔(mil)	320	320	320	320
圧力(torr)	3.0	3.0	3.0	3.0
算出C,原子wt%	8	5	9.5	10.5
算出H <sub>2</sub> ,原子wt%	5	0.3	2.5	3

【0064】具体的なエッティングプロセス及びチャンバ  
誘電体層の好ましいエッティングプロセスについては、1998年12月1日発行の米国特許5,843,847号に記載されている。この説明は本明細書に援用されている。好ましいプロセスにおいては、垂直及び水平相互接続部の側壁のエッティングは、側壁上に集中し側壁のエッティングを減らす不働態化堆積の形成により制御される。エッティングガスは、フルオロカーボンガス及び炭素:酸素ガスの量に依存して高い又は低い選択性を与える量で合わせた炭素-酸素ガスを含んでいる。エッティング組成物は、また、大小のサイズのフィーチャのエッティング速度で異なる基準であるマイクロローディングが少ない。

【0065】高選択性のエッティング及び水素及び炭素を含む酸化シリコン層の低マイクロローディングを与えるために、炭素:酸素ガスは誘電体層から放出される炭素または水素からエッティングされたフィーチャの表面上にできる過度の不働態化合物を除去するのを実際に助けることが発見された。エッティングされたフィーチャの表面上の過度の不働態化層は、炭素:酸素ガスがエッティングガスに含まれているときに、側壁のエッティングを制限し、不働態化層の減少は、炭素:酸素ガスの流量を少なくするか止めることによって劇的に起こる。

【0066】図5は、例えば、アプライドマテリアルズ社(Applied Materials Inc.)、カルフォルニア州サンタクララから市販されているIPS ETCHチャンバの單一ウエハ処理チャンバ140を有する誘電結合高周波プラズマエッティングチャンバを示す図である。ここに示されるエッティングチャンバの具体的な実施形態は、本発明を説明するためにだけ示され、本発明の範囲を限定するために使われるべきではない。アプライドマテリアルズから市販されている誘電エッティングMxP+チャンバのような他の誘電結合チャンバも、誘電体層をエッティングするのに使われ得る。誘電体層は、また、平行プレートプラズマチャンバ内でもエッティングされ得る。

【0067】図5に示されるエッティングチャンバは、典型的には、約150mTorrより小さい圧力になるように減圧にされ、基板は、処理チャンバ140に移送される。プラズマは、処理チャンバ140の中心と一致する対称軸146の周りに非平坦な様式で集中しているワインディング144、192をもつデュアルソレノイドコイル142、190によつ

て処理チャンバ内で生成される。任意のコイル194のようない他のコイルの配置は、当業者には明白である。

【0068】処理チャンバ140は、円筒型の側壁150及び天井152によって囲まれている。処理領域140の底のペデスタル154は、基板156を支えている。処理チャンバ140は、環状の通路158を通過して処理チャンバ140の下の部分を取り囲んでいるポンプ環160へと排気される。環160の内部は、好ましくは交換式のライナ160Aで裏打ちされている。環状の通路158は、側壁150の下端150Aと、ペデスタル154を囲む使い捨ての環162によって形成される。プロセスガスは、1以上のガス供給部164A-Cを通過して供給される。

【0069】中央のソレノイドコイル142は、中央の放射ヒーター172を囲むハウジング166の周りに巻きついている。第1プラズマ源高周波電源168は、内部コイル142に接続し、第2電源196は、外部コイル190に接続している。また、単一の電源197Aは、スプリッタ196を用いて両方のコイルに接続されている。バイアス電源170は、ペデスタル154に接続している。ハロゲンランプのような放射ヒーター172は、更に、天井の占領されていない部分に取りつけられ、冷却通路174Aをもつ冷却プレート174は天井の上方にある。トーラス175は、チャンバ天井152上方の冷却プレート174を固定する。複数の軸方向の穴175Aは、ヒーター又はランプ172を取り付けるようにトーラス175を通過して伸びている。天井の温度は、熱電対176によって感知される。良好な熱接触のために、熱導電材料173が、トーラス175とチャンバ天井152の間とトーラス175と冷却プレート174の間に配置される。

【0070】タングステンハロゲンランプのような放射ヒーター177は、使い捨てリング162の下に配置され、窓178を通してリングを加熱する。リング162の温度は、リング162内の孔162A内に伸びることができる温度センサー179を用いて制御される。

【0071】プラズマ閉じ込め磁石180、182は、ポンプ環160へのプラズマの流れ込みを防ぐか減らすために環状開口158に隣接して設けられる。交換可能なライナー160Aは、好ましくは、環160に入るあらゆる活性モノマー又は化学種を回収する温度まで冷やされる。ポンプ環160の壁にあるウエハスリット184は、ウエハ出入り口に適応する。

【0072】本発明のエッティングプロセスは、高エッティング速度及び基板上の誘電体層の高度に選択的なエッティングを提供する。エッティングプロセスに用いられるプロセスガスは、(i)誘電体層をエッティングし、基板上の不働態化堆積物形成を行なうフルオロカーボンガス、(ii)不働態化堆積物の形成を減少させる炭素-酸素ガス、及び(iii)基板上の不働態化堆積物を除去するアルゴン又は窒素含有ガスを含んでいる。これらのガスの種類及び好ましいガスの容積流量比は、ここに記載される。

【0073】フルオロカーボンガスは、基板上の誘電体をエッティングするフッ素含有化学種を形成できる。例えば、二酸化シリコン層は、処理チャンバ140から排出される揮発性SiF<sub>x</sub>化学種を形成するイオンと中性子を含むフッ素によってエッティングされる。適したフルオロカーボンガスは、炭素、フッ素、及び任意に水素を含んでいる、例えば、CF<sub>3</sub>、CF<sub>4</sub>、CH<sub>3</sub>F、CHF<sub>3</sub>、CH<sub>2</sub>F<sub>2</sub>、C<sub>2</sub>H<sub>4</sub>F<sub>6</sub>、C<sub>2</sub>F<sub>6</sub>、C<sub>3</sub>F<sub>8</sub>、C<sub>4</sub>F<sub>8</sub>、C<sub>2</sub>HF<sub>5</sub>、及びC<sub>4</sub>F<sub>10</sub>である。一般的に、プロセスガス中に水素がないと、自由炭素及びCF<sub>2</sub>ラジカルの量が増え、異方性エッティング及び高エッティング選択性を生じる結果になると思われる。好ましいガスは、CF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>及びC<sub>4</sub>F<sub>8</sub>を含んでいる。

【0074】炭素:酸素ガスは、基板上に不働態化堆積物を形成する炭素含有化学種の形成及び除去を制御することにより、望むときに、エッティング選択性を与えるために使われる。更に、炭素:酸素ガスは、不働態化堆積物としてエッティングフィーチャの表面上に堆積するポリマーの形成を減らすために、他の化学種と反応する自由酸素化学種の形成を高める。例えば、CF<sub>2</sub>ラジカルは重合して、垂直方向の異方性エッティングを改善する不働態化堆積物として新たにエッティングされたフィーチャの側壁上に堆積するポリマーを形成する。これらの理由から、炭素-酸素ガスの流速は、下層エッティング選択性及び異方エッティングに高い誘電性を与えてつ素早く誘電体層をエッティングするのに十分なフッ素含有化学種を与えることを実質的に減らす又は除去する。適した炭素:酸素ガスとしては、例えば、CO、HCOOH、HCHO、及びCO<sub>2</sub>が含まれるが、COが好ましい。酸素は、また、ヴィア及びトレンチの側壁上に形成される過度の不働態化堆積物を除去するのを助けるために加えられてもよい。

【0075】酸素含有ガスは、CF<sub>2</sub>ラジカルの一部と反応して、処理チャンバ140から排出される揮発性ラジカルを形成すると思われる。結果として起こる化学種表面又はプラズマ域の酸素化学種の増加によって、自由炭素と反応を起こして、基板上に形成される不働態化堆積物の量を減らし、エッティングプロセスを停止し得る過度の厚い不働態化堆積層の堆積を防ぐ。

【0076】選択的エッティングについて、フルオロカーボン/炭素:酸素ガスの容積流量比は、新たにエッティングされたフィーチャの表面に不働態化堆積物が形成する速度が、異なる低k誘電体材料によって異なるように選ば

れる。エッティング速度の速い誘電体材料では、不働態化堆積物の形成速度は、大体、不働態化堆積物の除去速度と等しい。エッティング速度の遅い低い誘電体材料では、不働態化堆積物の形成速度は、不働態化堆積物の除去速度を超える。これにより、少なくとも約400nm/分、更に典型的には600~900nm/分の高いエッティング速度で誘電体層を同時にエッティングしつつ、高いエッティング選択性比、例えば、少なくとも約3:1のエッティング選択性比が得られ、エッティング速度のマイクロローディングが減少する。基板が、窒化シリコン又は炭化シリコンのような誘電体層の下の材料の下層を含むときに、フルオロカーボン/炭素:酸素ガスの容積流量比は、特定の材料の組み合わせのエッティング選択性比、例えば、拡散バリヤ層、又は抗屈折層を阻害する誘電体をエッティングするエッティング選択性を高めるように調整される。フルオロカーボン/炭素:酸素含有ガスの容積流量比率は、また、エッティングされたフィーチャの側壁が基板上の誘電体層の表面と少なくとも約87度の角度をなす表面が平滑であるように調節される。個々のエッティング選択性、エッティング速度のマイクロローディング、又はエッティング速度を達成するために本発明の範囲から外れることなく、容積流量比率は、異なる材料の組み合わせ、フィーチャの形、例えば、フィーチャのアスペクト比によって調整される。

【0077】好ましくは、新たにエッティングされたフィーチャの側壁上の不働態化堆積物をスパッタオフするイオンスパッタ化學種を形成するためにプロセスガスに不活性ガスが加えられる。不活性ガスは、また、プロセスガスの解離を高めるイオン化した準安定状態を形成するためにイオン化される。従って、また、不活性ガスがプロセスガスの解離を促進するエネルギー移動反応が、励起不活性ガス及びプロセスガスの間で起こるよう、広範囲の励起エネルギーを持つことが望まれる。適した不活性ガスは、アルゴン、ヘリウム、ネオン、キセノン、及びクリプトンを含み、アルゴンが好ましい。十分な不活性ガスがプロセスガスに加えられ、基板から不働態化堆積物をスパッタ付着するのを助け、プロセスガスの解離を高める。しかし、不活性ガスの過度の流量は、基板上のレジストの過度のスパッタリングを引き起こし、レジストのファセッティング、レジストの下にある誘電体層のエッティング、及び高断面のマイクロローディングという結果になる。

【0078】炭素含有の酸化シリコン層をエッティングするに適するプロセスガスの好ましい組成は、アルゴン、CO、及びCF<sub>4</sub>、C<sub>2</sub>F<sub>6</sub>、C<sub>4</sub>F<sub>8</sub>より選ばれた1種以上のガスを含む混合物を含んでいる。ここに記載されている処理チャンバの容積では、(i)適したCF<sub>4</sub>の流速は、約0~約80sccm、更に好ましくは約20~約60sccmであり、(ii)適したC<sub>4</sub>F<sub>8</sub>の流速は、約0~約40sccm、更に好ましくは約5~約30sccmであり、(iii)適したCOの流速は、約0~約200sccm、更に好ましくは約20~約150sccmであり、(i)

v)適したアルゴンの流速は、約50～約400sccm、更に好ましくは約100～約300sccmである。実際の流速は、チャンバ140の容量に依存するので、本発明は、ここに示される流速に限定すべきではない。

【0079】8インチ基板上の好ましい誘電体層中に垂直相互接続部をエッティングするために、エッティングガスは好ましくは約10sccm～約80sccmの1種以上のフルオロカーボンガス及び、約100sccm～約200sccmの炭素:酸素ガスのを含んでいる。垂直相互接続部をエッティングする間、フルオロカーボンガスと炭素:酸素ガスの相対量を変化させることに加え、個々のフルオロカーボンガスの相対量を変化させることによって不働態化堆積物が制御可能であるので、フルオロカーボンガスの混合物が好ましい。好ましいキャリヤガスは、約100sccm～約300sccmのアルゴンである。

【0080】8インチ基板上の好ましい誘電体層中の水平相互接続部をエッティングするためには、エッティングガスは、好ましくは約5sccm～約80sccmの1種以上のフルオロカーボンガス及び約5sccm未満の炭素:酸素ガスを含んでいる。水平相互接続部をエッティングする間、不働態化堆積物はフルオロカーボンガスの流速を調節することにより容易に制御されるにも拘わらず、フルオロカーボンガスの混合物は、また、不働態化を制御するのに使われる。好ましいキャリヤガスは、約100sccm～約300sccmのアルゴンである。

【0081】本発明のエッティングプロセスは、エッティング速度のマイクロローディング及び誘電体エッティング速度を犠牲にすることなく、炭素を含む誘電体層の非選択性及び選択性的なエッティングを与える。エッティング選択性比は、下にある抗反射層、拡散バリヤ層、窒化シリコン、又は炭化シリコン及び上にあるレジスト層を含む誘電体層のエッティング速度の比と他の材料の隣接層のエッティング速度の比を意味する。高エッティング速度、低マイクロローディング、及び高エッティング選択性の組合せは、堆積速度と基板からの不働態化化学種の除去のバランスによって、及び誘電体層のエッティングに利用できるフッ素含有化学種の量の制御によって得られる。過度の不働態化堆積物は、全体の誘電体エッティング速度を減らし、エッティング速度のマイクロローディングを増加させるが、ポリマーの形成又は堆積の抑制によって、典型的には、エッティング選択性が低下する。

【0082】特許請求の範囲の発明を制限するものではない以下の実施例によって、本発明を更に記載する。

#### 【0083】実施例1

第1酸化メチルシラン層を、チャンバ圧3.0Torr及び温度15°Cで下記のようにリアクタ内へ流入する反応ガスから、アプライドマテリアルズ社(Applied Materials, Inc.)製のD×Zチャンバ内に置かれている8インチシリコン基板上に堆積する。

34sccmのメチルシラン、CH<sub>3</sub>-SiH<sub>3</sub>

360sccmの一酸化二窒素、N<sub>2</sub>O

2000sccmヘリウム、He

【0084】基板は、ガス分配シャワーへッドから320mmに配置され、300Wの高周波数高周波電力(13MHz)が原子量で約5%の炭素と原子量で約0.3%の水素を含む第1酸化メチルシラン層の堆積を高めるプラズマシャワーへッドに印加される。第1層の厚さは、少なくとも5,000オングストロームである。次に、メチルシラン流を68sccmに上げ、原子量で約10.5%の炭素及び原子量で約3%の水素を含む第2酸化メチルシラン層が80Wの電力レベルで堆積される。第2層の厚さは、少なくとも1000オングストロームである。次に、メチルシラン流を34sccmに下げ、約5%の炭素及び0.3%の水素を含む第3酸化メチルシラン層が電力レベル300Wで堆積される。第3層の厚さは、少なくとも5000オングストロームである。堆積した誘電体層は、次に、400°Cで硬化され、残りの水分を除き、基板は、デュアルダマシング構造のエッティングのために移送される。

【0085】従来のホトリソグラフィープロセスでは、ホトレジスト、例えば、デュポンデネマースケミカル社(du Pont de Nemours Chemical Company)製の『RISTON』が約0.4～約1.3ミクロンの厚さに第3酸化メチルシラン層上に施され、誘電体層でエッティングされるヴィアは、レジストに曝すことによりフィーチャの望ましい構造に一致するマスクを通して光のパターンを画成される。レジストの露出されていない場所の下にある誘電体層は、下記の量のプロセスガスを用いてアプライドマテリアルズ社(Applied Materials Inc.)製のIPS ETCHチャンバ内でエッティングされる。

20sccmのC<sub>4</sub>F<sub>8</sub>

40sccmのCF<sub>4</sub>

150sccmのCO

250sccmのアルゴンAr

【0086】パターン形成基板をエッティングチャンバの陰極ペデスタル上に設置し、チャンバを約30mTorrの圧力に維持した。プラズマは、約2000ワットの電力レベルでデュアルソレノイドコイルに印加された高周波電圧によって生成した。1000Wのバイアス電力を陰極ペデスタルに印加した。基板を、新しくエッティングされたフィーチャの側壁に不働態化堆積物の薄層を維持するための背面ヘリウムの流れを用いて、-10°Cに冷却又は加熱する。エッティングプロセスは、第3酸化メチルシラン層中のヴィアをエッティングできるぐらいの十分な時間をかけて行われる。次に、第2酸化メチルシラン層まで下記のガス流量により30mTorrでヴィアのエッティングを続けた。

0sccmのC<sub>4</sub>F<sub>8</sub>

60sccmのCF<sub>4</sub>

150sccmのCO

250sccmのアルゴン Ar

【0087】エッティングプロセスを、第2酸化メチルシリラン層までエッティングするのに十分な時間をかけて行なった。次に、エッティングを下記のガス流量により30mTorrで第1酸化メチルシリラン層まで続けた。

20sccmのC<sub>4</sub>F<sub>8</sub>

40sccmのCF<sub>4</sub>

150sccmのCO

250sccmのアルゴン Ar

【0088】エッティングプロセスを第1酸化メチルシリラン層までエッティングするのに十分な時間をかけて行なった。次に、オーバーエッティングを下記の流量変化により行なった。

20sccmのC<sub>4</sub>F<sub>8</sub>

40sccmのCF<sub>4</sub>

100sccmのCO

250sccmのアルゴン Ar

【0089】オーバーエッティングプロセスを、1600Wのデュアルソレノイド電力レベル及び1000Wの陰極ペデスタル電力レベルで第1酸化メチルシリラン層まで全てのヴィアが完了するのに十分な時間をかけて行った。

【0090】エッティングされたウエハのSEM写真を用いて(i)誘電体エッティング速度、(ii)誘電体エッティングとホトレジストエッティングのエッティング選択比、(iii)エッティング速度の均一性、(iv)エッティング速度のマイクロローディング%を測定した。ヴィアエッティング工程と、の結果を下に示す。基板にエッティングされたフィーチャの深さを測定することでエッティング速度を計算した。誘電体層20とホトレジスト層のエッティング速度のエッティング速度の比からエッティング選択比を計算した。エッティング速度の均一性は、少なくとも15の異なる測定点を用いて計算した。エッティング速度のマイクロローディング%は、基板上でエッティングフィーチャが異なる大きさをもつときに、得られるエッティング速度の差異の基準である。下の実例では、エッティング速度のマイクロローディ

ングパーセントは、直径が約0.5ミクロンの大きい孔と直径が約0.25ミクロンの小さい孔を測定し、エッティング速度を基板の中央と周辺のエッジとで平均した。

【0091】古いホトレジストを、次に、酸素プラズマによって取り除き、ホトレジストが再び施され、トレンチのような水平相互接続部を画成するようにパターン形成される。レジストの露出されていない部分の下の誘電体層は、チャンバ圧7mTorrで、下記の量のプロセスガスを用いてIPS ETCHチャンバ内のエッティング停止層に到達するまで選択的にエッティングされる。

19sccmのC<sub>4</sub>F<sub>8</sub>

0sccmのCF<sub>4</sub>

0sccmのCO

100sccmのアルゴン Ar

【0092】プラズマを、電力レベルが約1400Wであるデュアルソレノイドコイルに印加された高周波電圧によって生成した。陰極ペデスタル電力レベルを1500ワットに設定した。基板を、新しいエッティングフィーチャの側壁に不動態化堆積物の薄層を維持するために背面のヘリウムの流れを用いて+10°Cに冷却又は加熱した。エッティングプロセスは、第3酸化メチルシリラン層まで全てのトレンチをエッティングするのに十分な時間をかけて行なった。

【0093】もしくは、トレンチのエッティングは、ガス流量を約50%増すことと及び約1000Wだけソレノイドコイルへの電力を増すことによって20mTorrのような高圧で開始された。次に、エッティング状態がトレンチのエッティングの活動を下げるために7mTorrのような低圧に変更されて、第2酸化メチルシリラン層上の停止を確実にした。

【0094】エッティングされたウエハのSEM写真を、再び、エッティングの性能を測るために用い、その結果をそれぞれのエッティング工程と、について次に示す。

【0095】

【表2】

表2. 実施例1のエッティング性能

	第1ヴィア ア	第2ヴィア ア	第3ヴィア ア	OE	トレンチ
エッティング速度、 Å/分	750	1,200	750	1,700	2,400
選択性	3:1	3:5:1	3:1	3:5:1	1:2
均一性	±10%	±5%	±10%	±5%	±5%
マイクロローディング	-%	10%	-%	10%	15%

#### 【0096】実施例2

前の実施例は、シリコン化合物と電力レベルの流量のみを変化させることによって単一のチャンバ内で誘電体層を堆積させるものである。本実施例は、次のように、第1誘電体層のメチルシリランをTEOSと置き換えることにより第1例を変更させるものである。

【0097】第1酸化TEOS層を、下記のリアクタに流れ

込む反応性ガスから3.0Torrのチャンバ圧及び350°Cの温度でアプライドマテリアルズ社(Applied Materials, Inc.)製のD×Zチャンバ内に設置された8インチシリコン基板上に堆積する。

40sccmのTEOS, (CH<sub>3</sub>-CH<sub>2</sub>-O-)<sub>4</sub>-Si

360sccmの酸素、O<sub>2</sub>

2000sccmのヘリウム、He

【0098】基板は、ガス分配シャワーヘッドから320ミルの位置に置かれ、750Wの高周波数高周波電力(13MHz)が、原子量で1%未満の炭素及び原子量で0.1%未満の水素を含む酸化シリコン層のプラズマ増強堆積のシャワーヘッドに印加される。層の厚さは、少なくとも5000オングストロームである。次に、第2及び第3の誘電体層の堆積が、実例1に記載されたメチルシランを用いて続けられる。

【0099】デュアルダマシン構造のエッティングは、堆積したTEOS層中の垂直相互接続部を形成するためと垂直相互接続部のオーバーエッティングのためのエッティング条件が次のとおりである以外は実施例1に記載されているように行なわれる。

15sccmのC<sub>4</sub>F<sub>8</sub>

20sccmのC<sub>2</sub>F<sub>6</sub>

0sccmのCO

350sccmのアルゴン、Ar

【0100】下方の酸化シリコン層のエッティングと垂直相互接続部のオーバーエッティングの間、デュアルソレノイドコイルに印加された2200Wの高周波電力のとバイアス電極に印加された1400Wの高周波電力によってプラズマが生成される。基板は、新たにエッティングされたフィーチャの側壁上の不働態化堆積物の薄層を維持するため背面ヘリウム流を使って-10°Cまで冷却又は加熱される。

【0101】上述は、本発明の好適な実施態様に関するが、その基本的な範囲から逸脱することなく本発明の他の及び別の実施形態が講じられてもよく、その範囲は前述の特許請求の範囲によって決定される。

#### 【図面の簡単な説明】

【図1A】本発明のデュアルダマシン堆積順序の第1実施形態を示す断面図である。

【図1B】本発明のデュアルダマシン堆積順序の第1実施形態を示す断面図である。

【図1C】本発明のデュアルダマシン堆積順序の第1実

施形態を示す断面図である。

【図1D】本発明のデュアルダマシン堆積順序の第1実施形態を示す断面図である。

【図1E】本発明のデュアルダマシン堆積順序の第1実施形態を示す断面図である。

【図1F】本発明のデュアルダマシン堆積順序の第1実施形態を示す断面図である。

【図1G】本発明のデュアルダマシン堆積順序の第1実施形態を示す断面図である。

【図1H】本発明のデュアルダマシン堆積順序の第1実施形態を示す断面図である。

【図2A】本発明のデュアルダマシン堆積順序の第2実施形態を示す断面図である。

【図2B】本発明のデュアルダマシン堆積順序の第2実施形態を示す断面図である。

【図2C】本発明のデュアルダマシン堆積順序の第2実施形態を示す断面図である。

【図2D】本発明のデュアルダマシン堆積順序の第2実施形態を示す断面図である。

【図2E】本発明のデュアルダマシン堆積順序の第2実施形態を示す断面図である。

【図2F】本発明のデュアルダマシン堆積順序の第2実施形態を示す断面図である。

【図2G】本発明のデュアルダマシン堆積順序の第2実施形態を示す断面図である。

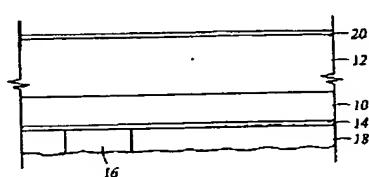
【図2H】本発明のデュアルダマシン堆積順序の第2実施形態を示す断面図である。

【図3】本発明の使用に従って配置された具体的なCVDプラズマリアクタの断面図である。

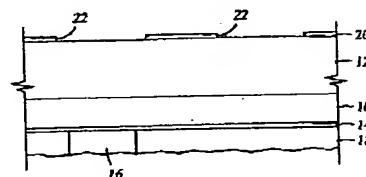
【図4】シリコン、酸素、炭素、及び水素を含む4つの低k誘電体組成物中の炭素と水素の相対量を示す線図である。

【図5】本発明のエッティングプロセスを実行するのに適したエッティングプロセスチャンバの概略縦断面図である。

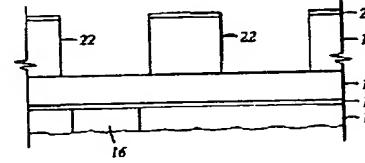
【図1A】



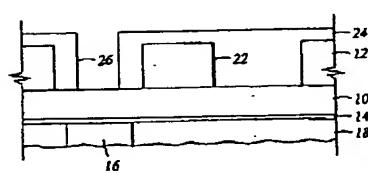
【図1B】



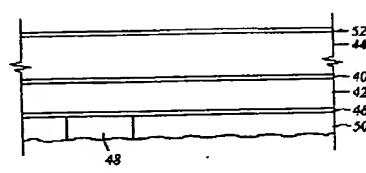
【図1C】



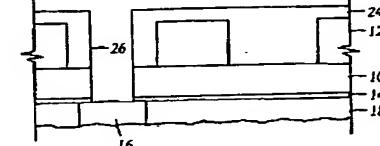
【図1D】



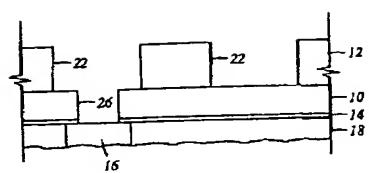
【図2A】



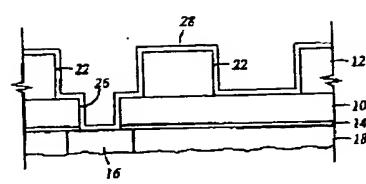
【図1E】



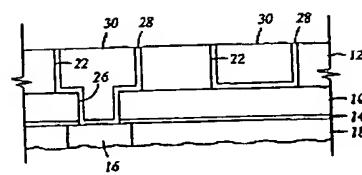
【図1F】



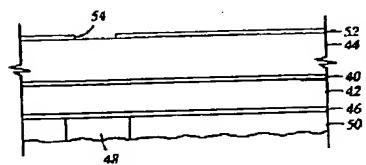
【図1G】



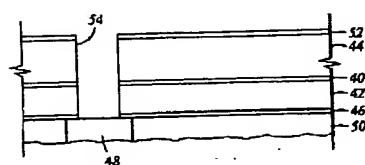
【図1H】



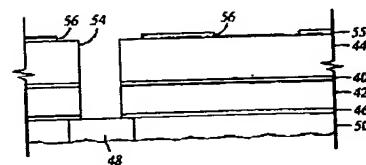
【図2B】



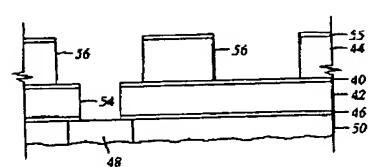
【図2C】



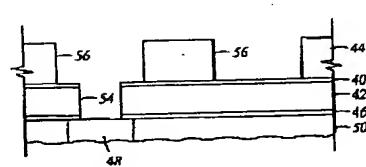
【図2D】



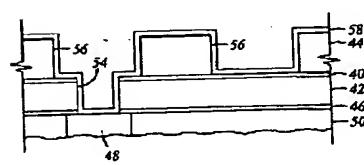
【図2E】



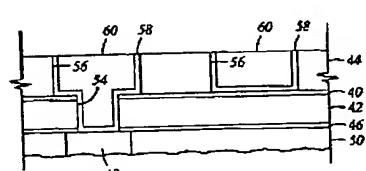
【図2F】



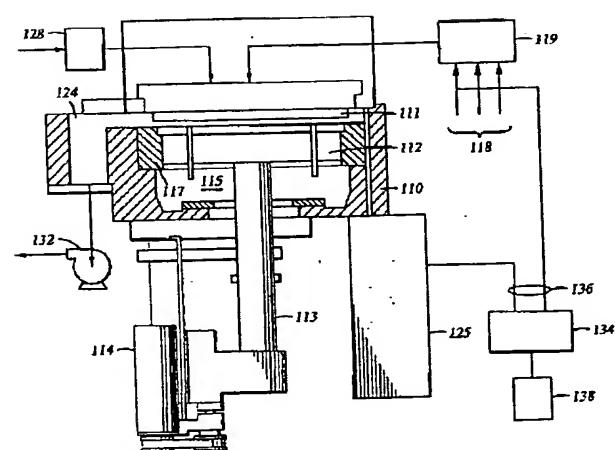
【図2G】



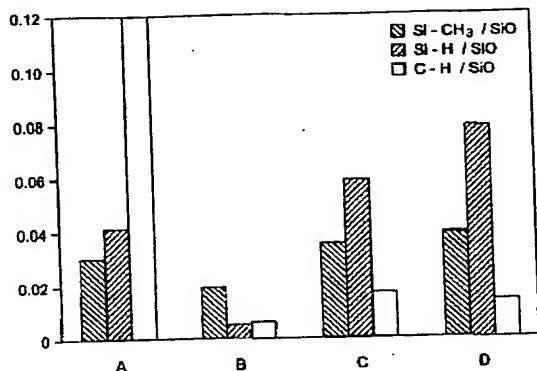
【図2H】



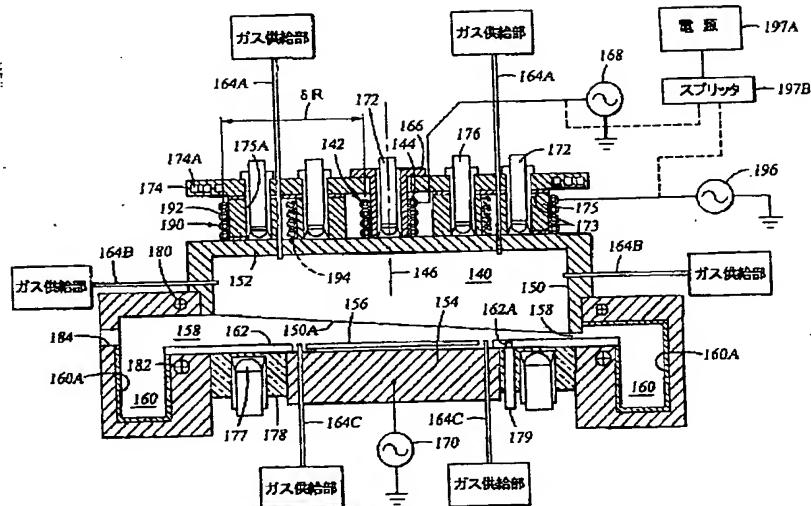
【図3】



【図4】



【図5】



フロントページの続き

(72) 発明者 クラエス エイチ. ブジョルクマン  
アメリカ合衆国, カリフォルニア州,  
マウンテン ヴュー, カリフォルニア  
ストリート 1532 ナンバー 5

(72) 発明者 ユー メリッサ ミン  
アメリカ合衆国, カリフォルニア州,  
サン ノゼ, マッティーク ドライブ  
3094

(72) 発明者 ホンキン シャン  
アメリカ合衆国, カリフォルニア州,  
サン ノゼ, タンブル ウェイ 3630

(72) 発明者 ディヴィッド ダブリュー. チエン  
アメリカ合衆国, カリフォルニア州,  
フォスター シティ, ビリングスゲイト  
レーン 235

(72) 発明者 ウエイーファン ヨー  
アメリカ合衆国, カリフォルニア州,  
ロス アルトス, アルヴァラド アヴェ  
ニュー 388

(72) 発明者 ナスリーン ガザラ チョップラ  
アメリカ合衆国, カリフォルニア州,  
メンロー パーク, シャロン パーク  
ドライブ 350 ナンバーエヌー209

(72)発明者 ジェラルド ゼヤオ イン  
アメリカ合衆国, カリフォルニア州,  
クパティノ, ビリチ プレイス 10132

(72)発明者 ファルハド モグハダム  
アメリカ合衆国, カリフォルニア州,  
サラトガ, ヴィア コリナ ドライヴ  
15440

(72)発明者 ジュディ エイチ. フアン  
アメリカ合衆国, カリフォルニア州,  
ロス ガトス, レロイ アヴェニュー  
16788

(72)発明者 デニス ジェイ. ヨスト  
アメリカ合衆国, カリフォルニア州,  
ロス ガトス, フェリス アヴェニュー  
16615

(72)発明者 サムーイー ベティ タン  
アメリカ合衆国, カリフォルニア州,  
サン ノゼ, ハズレット コート 1251

(72)発明者 ユンサン キム  
アメリカ合衆国, カリフォルニア州,  
サン ノゼ, グリーンゾン アヴェニュー  
3648

(72)発明者 クオーウェイ リュー  
アメリカ合衆国, カリフォルニア州,  
キャンベル, エヌ サン トーマス ア  
クワイノ ロード 163

【外国語明細書】

## 1 Title of Invention

## INTEGRATED LOW K DIELECTRICS AND ETCH STOPS

## 2 Claims

1. A process for depositing and etching intermetal dielectric layers, comprising:  
depositing a first dielectric layer having a dielectric constant less than about 4.0;  
depositing a second dielectric layer having a dielectric constant less than about 4.0 on  
the first dielectric layer; and  
etching the second dielectric layer under conditions wherein the second dielectric  
layer has an etch rate that is at least about three times greater than an etch rate for the first  
dielectric layer.
2. The process of claim 1, wherein the first dielectric layer comprises silicon, oxygen,  
and at least about 5% carbon by atomic weight, and the second dielectric layer comprises  
silicon, oxygen, and less than about two-thirds of the carbon contained in the first dielectric  
layer.
3. The process of claim 2, wherein the first dielectric layer is etched to form vertical  
interconnects with a first gas mixture comprising one or more fluorocarbon compounds and  
one or more carbon:oxygen compounds, and the second dielectric layer is etched to form  
horizontal interconnects with a second gas mixture comprising one or more fluorocarbon  
compounds and essentially no carbon:oxygen compounds.
4. The process of claim 3, wherein the carbon:oxygen compound is carbon monoxide.
5. The process of claim 1, wherein the first dielectric layer comprises silicon, oxygen,  
carbon, and at least 1% hydrogen by atomic weight, and the second dielectric layer comprises  
silicon, oxygen, carbon, and less than one-fifth of the hydrogen contained in the first  
dielectric layer.
6. The process of claim 5, wherein the first dielectric layer is etched to form vertical  
interconnects with a first gas mixture comprising one or more fluorocarbon compounds and  
one or more carbon:oxygen compounds, and the second dielectric layer is etched to form

horizontal interconnects with a second gas mixture comprising one or more fluorocarbon compounds and essentially no carbon:oxygen compounds.

7. The process of claim 6, wherein the carbon:oxygen compound is carbon monoxide.

8. The process of claim 1, wherein the first and second dielectric layers are deposited by oxidizing an organosilicon compound.

9. The process of claim 8, wherein the organosilicon compound is methylsilane or trimethylsiloxane.

10. The process of claim 1, wherein the first dielectric layer is deposited on a third dielectric layer having a dielectric constant less than about 4.0.

11. A dual damascene process for depositing intermetal dielectric layers, comprising:  
depositing a first dielectric layer having a dielectric constant less than about 4 by oxidizing a first organosilicon compound;  
depositing a second dielectric layer having a dielectric constant less than about 4 on the first dielectric layer by oxidizing a second organosilicon compound;  
depositing a third dielectric layer having a dielectric constant less than about 4 on the second dielectric layer by oxidizing a third organosilicon compound;  
etching the first and second dielectric layers to form vertical interconnects; and  
etching the third dielectric layer to form horizontal interconnects under conditions wherein the third dielectric layer has an etch rate that is at least about three times greater than an etch rate for the second dielectric layer.

12. The process of claim 11, wherein the first, second, and third organosilicon compounds are the same compound.

13. The process of claim 12, wherein the organosilicon compounds are selected from a group consisting of methylsilane and trimethylsiloxane.

14. The process of claim 12, wherein the second dielectric layer comprises silicon, oxygen, at least 5% carbon by atomic weight, and at least 1% hydrogen by atomic weight, and wherein the first and third dielectric layers comprise silicon, oxygen, less than two-thirds of the carbon in the second dielectric layer, and less than one-fifth of the hydrogen in the second dielectric layer.

15. The process of claim 12, wherein:

the second dielectric layer is etched to form vertical interconnects with a first gas mixture comprising one or more fluorocarbon compounds and one or more carbon:oxygen compounds, the first gas mixture comprising a total volume of the carbon:oxygen compounds that is greater than a total volume of the fluorocarbon compounds; and

the third dielectric layer is etched to form horizontal interconnects with a second gas mixture comprising one or more fluorocarbon compounds, the second gas mixture comprising a total volume of the fluorocarbon compounds that is greater than a total volume of carbon:oxygen compounds.

16. The process of claim 15, wherein the vertical interconnects are etched with gases containing carbon monoxide and the horizontal interconnects are etched with gases containing essentially no carbon monoxide.

17. A process for depositing low dielectric constant layers, comprising:

varying one or more process conditions for depositing an organosilicon compound to obtain first and second dielectric layers having varying silicon, oxygen, carbon, and hydrogen contents and dielectric constants less than about 4; and

etching the second dielectric layer using conditions wherein the second dielectric layer has an etch rate that is at least 3 times greater than an etch rate for the first dielectric layer.

18. The process of claim 17, wherein the first dielectric layer contains at least 5% carbon by atomic weight or at least 1% hydrogen by atomic weight, and wherein the second dielectric layer contains less than two-thirds of the carbon in the first silicon oxide layer or less than one-fifth of the hydrogen in the first silicon oxide layer.

19. The process of claim 18, wherein the second dielectric layer is etched to form horizontal interconnects with a first gas mixture comprising one or more fluorocarbons and essentially no carbon:oxygen compounds.

20. The process of claim 17, further comprising:

depositing the first dielectric layer on a third dielectric layer having silicon, oxygen, carbon, and hydrogen contents similar to the second dielectric layer.

## BACKGROUND OF THE DISCLOSURE

### Related Applications

This application is a continuation-in-part of co-pending United States Patent Application No. 09/021,788 [AMAT/2592], which was filed on February 11, 1998; a continuation-in-part of co-pending United States Patent Application No. 09/162,915 [AMAT/3032], which was filed on September 29, 1998; and a continuation-in-part of co-pending United States Patent Application No. 09/189,555 [AMAT/3032.P1], which was filed on November 4, 1998.

### Field of the Invention

The present invention relates to the fabrication of integrated circuits. More particularly, the invention relates to a process and apparatus for depositing and etching dielectric layers on a substrate.

### Background of the Invention

Semiconductor device geometries have dramatically decreased in size since such devices were first introduced several decades ago. Since then, integrated circuits have generally followed the two year/half-size rule (often called Moore's Law), which means that the number of devices on a chip doubles every two years. Today's fabrication plants are routinely producing devices having 0.35 $\mu$ m and even 0.18 $\mu$ m feature sizes, and tomorrow's plants soon will be producing devices having even smaller geometries.

In order to further reduce the size of devices on integrated circuits, it has become necessary to use conductive materials having low resistivity and insulators having low dielectric constants ( $k \leq 4.0$ ) to reduce the capacitive coupling between adjacent metal lines. A conductive material of interest is copper which can be deposited in submicron features by electrochemical deposition. Dielectric materials of interest are silicon oxides that contain carbon. Combination of silicon oxide materials and copper has led to new deposition methods for preparing vertical and horizontal interconnects since copper is not easily etched to form metal lines. Such methods include damascene or dual damascene methods depositing vertical

and horizontal interconnects wherein one or more dielectric materials are deposited and etched to form the vertical and horizontal interconnects that are filled with the conductive material.

Dielectric layers can be deposited, etched and filled with metal in multiple steps that typically require frequent transfers of substrates between processing chambers dedicated to specific steps. Preferred methods for depositing dielectric layers include two predominant dual damascene methods where lines/trenches are filled concurrently with vias/contacts. In a "counter-bore" scheme, a series of dielectric layers are deposited on a substrate as described in more detail for various embodiments of the present invention. Then vertical interconnects such as vias/contacts are etched through all of the layers and horizontal interconnects such as lines/trenches are etched through the top layers. In the alternative, the lines/trenches are etched in the top layers and then the vias/contacts are etched through the bottom layers. A conductive material is then deposited in both the vertical and horizontal interconnects.

The other predominant scheme for creating a dual damascene structure is known as a "self-aligning contact" (SAC) scheme. The SAC scheme is similar to the counter-bore scheme, except that an etch stop layer is deposited on a bottom dielectric layer and etched to define the vias/contacts before another dielectric layer is deposited on top of the etch stop layer. The vertical and horizontal interconnects are then etched in a single step, and conductive material is then deposited in both the vertical and horizontal interconnects.

The counter-bore scheme does not require an etch stop layer between the dielectric layers if the upper dielectric layer can be etched using conditions that provide an etch rate for the upper layer that is at least about three times greater than the corresponding etch rate for the lower layer (*i.e.*, an etch selectivity of at least about 3:1). However, the selectivity of etch processes for conventional low *k* dielectric layers is typically less than 3:1, and etch stop layers that provide the desired etch selectivity are routinely used between adjacent low *k* dielectric layers. The etch stop layers provide uniformity in the depth of horizontal interconnects across the surface of the substrate. The etch stop layers further reduce micro-trenching such that the bottom of horizontal interconnects are flat instead of deeper at outside edges. The etch stop layers further reduce faceting or fencing of previously etched vertical interconnects during etching of horizontal interconnects, wherein the edge between the bottom of the horizontal interconnects and the side walls of the vertical interconnects are

sharp instead of either rounded (*i.e.*, faceted) or raised (*i.e.*, fenced) depending on whether the side walls of the vertical interconnects are exposed to etch gases or shielded from etch gases.

Conventional etch stop layers provide the benefits just described for damascene applications, but typically have dielectric constants that are substantially greater than 4. For example, silicon nitride has a dielectric constant of about 7, and deposition of such an etch stop layer on a low  $k$  dielectric layer results in a substantially increased dielectric constant for the combined layers. It has also been discovered that silicon nitride may significantly increase the capacitive coupling between interconnect lines, even when an otherwise low  $k$  dielectric material is used as the primary insulator. This may lead to crosstalk and/or resistance-capacitance (RC) delay that degrades the overall performance of the device.

Ideally, low  $k$  dielectric layers would be identified and etch processes would be defined wherein an etch selectivity for the dielectric layers is at least about 3:1 for use in selective etch processes such as dual damascene processes. Preferably, the low  $k$  dielectric layers that provide the desired etch selectivity could be deposited in the same chamber.

#### SUMMARY OF THE INVENTION

The present invention provides a method for etching one or more dielectric layers having a dielectric constant less than or equal to about 4.0 (low  $k$ ), wherein differences in dielectric compositions provides an etch selectivity of at least 3:1. The invention includes etching of dielectric layers containing silicon, oxygen, carbon, and hydrogen wherein differences in composition provide an etch selectivity greater than 3:1 in the absence of a carbon:oxygen gas, such as carbon monoxide. Addition of carbon:oxygen gases to one or more fluorocarbon gases provides fast etch rates at lower etch selectivity which can be used when high selectivity is not needed. At least one of the dielectric layers preferably has high carbon content (greater than about 1% by atomic weight) or high hydrogen content (greater than about 0.1% by atomic weight). The carbon:oxygen gas is reduced or omitted from etch gases when a selective etching of adjacent dielectric layers is desired, such as when forming horizontal interconnects.

The present invention further provides an integrated method for depositing and etching adjacent low  $k$  dielectric materials with reduced transfers of a substrate between chambers, and with an etch selectivity between adjacent dielectric layers of at least 3:1. The high etch selectivity provides horizontal interconnects having uniform depths and

substantially square corners without conventional etch stop layers. At least one dielectric layer contains silicon, oxygen, carbon, and hydrogen. Additional dielectric layers can be any dielectric layer having a dielectric constant less than about 4.0, such as produced by spin on deposition methods or by chemical vapor deposition methods. All dielectric layers are preferably produced by chemical vapor deposition of one or more organosilicon compounds using power levels, flow rates, and composition changes to control etch selectivity by controlling the silicon, oxygen, carbon, and hydrogen content of the deposited materials.

In a first preferred dual damascene embodiment, a first low  $k$  dielectric layer and a second low  $k$  dielectric layer are deposited on a substrate by oxidation of one or more organosilicon compounds, such as methylsilane,  $\text{CH}_3\text{SiH}_3$ , or trimethylsiloxane,  $(\text{CH}_3)_3\text{Si-O-Si}-(\text{CH}_3)_3$ , for subsequent etching of vertical and horizontal interconnects. The first dielectric layer is an etch stop layer that contains silicon, oxygen, carbon, and hydrogen, preferably at least about 5% carbon by atomic weight and at least about 1% hydrogen by atomic weight. The second dielectric layer preferably contain less than two-thirds of the carbon or less than one-fifth of the hydrogen contained in the second dielectric layer, more preferably less than one-half of the carbon or less than one-tenth of the hydrogen. The vertical and horizontal interconnects are then etched into the low  $k$  dielectric layers using fluorocarbon gases. A carbon:oxygen compound, such as carbon monoxide, is added to the fluorocarbon gases during etching of vertical interconnects, and is not used during etching of horizontal interconnects to obtain an etch selectivity of at least 3:1. The horizontal and vertical interconnects can then be filled with a conductive material such as copper.

In a second preferred dual damascene embodiment, a first low  $k$  dielectric layer, a second low  $k$  dielectric layer, and a third low  $k$  dielectric layer are deposited on a substrate by oxidation of one or more organosilicon compounds, such as methylsilane,  $\text{CH}_3\text{SiH}_3$ , or trimethylsiloxane,  $(\text{CH}_3)_3\text{Si-O-Si}-(\text{CH}_3)_3$ , for subsequent etching of vertical and horizontal interconnects. The second dielectric layer is an etch stop layer and contains silicon, oxygen, carbon, and hydrogen, preferably at least about 5% carbon by atomic weight and at least about 1% hydrogen by atomic weight. The first and third dielectric layers preferably contain less than two-thirds of the carbon and less than one-fifth of the hydrogen contained in the second dielectric layer, more preferably less than one-half of the carbon and less than one-tenth of the hydrogen. The vertical and horizontal interconnects are then etched into the low  $k$  dielectric layers using fluorocarbon gases. A carbon:oxygen compound, such as carbon monoxide, is added to the fluorocarbon gases during etching of vertical interconnects, and preferably is not used during etching of horizontal interconnects to obtain an etch selectivity of at least 3:1. The horizontal and vertical interconnects can then be filled with a conductive material such as copper.

#### DESCRIPTION OF PREFERRED EMBODIMENTS

The present invention provides a method for etching of low  $k$  dielectric layers (i.e.,  $k$  less than or equal to about 4, preferably less than about 3). The invention includes etching one or more dielectric layers, wherein differences in dielectric compositions provides an etch selectivity of at least 3:1. The method is ideally suited for selective etch processes such as damascene schemes that deposit conductive materials, such as copper, within interconnects

formed in the low  $k$  dielectric layers. In a preferred embodiment, the invention includes controlling combination of a carbon:oxygen gas with fluorocarbon etch gases to control etch selectivity for low  $k$  dielectric layers that contain hydrogen and carbon. The invention further provides control over the carbon and hydrogen content of adjacent dielectric layers to obtain low dielectric constants and an etch selectivity of at least 3:1 favoring one of the dielectric layers. Thus, the low  $k$  dielectric layers provide sufficient etch selectivity to exclude conventional etch stop materials having high dielectric constants, such as silicon nitride, from deposition and etch processes such as damascene schemes. Dielectric layers having low dielectric constants and low etch rates, in comparison to other dielectric layers using the same etch conditions as described herein, can replace or eliminate etch stop layers in many processes. The integrated deposition and etch methods of the invention also reduce transfers of a substrate between chambers by allowing all dielectric layers to be deposited in a single chamber prior to etching.

The method of the invention provides an integrated dual damascene process that includes depositing a first low  $k$  dielectric layer that contains silicon, carbon, oxygen, and hydrogen. A second low  $k$  dielectric layer deposited on the first low  $k$  dielectric layer preferably contains less than two-thirds of the carbon or less than one-fifth of the hydrogen contained in the first dielectric layer, more preferably less than one-half of the carbon and less than one-tenth of the hydrogen. Both dielectric layers can be etched, e.g., with a mixture of fluorocarbons and carbon:oxygen compounds such as carbon monoxide, to form vertical interconnects having steep sidewalls and sharp corners. The dielectric layer having the lower carbon or hydrogen content is selectively etched, such as by reducing or eliminating the flow of carbon:oxygen gas, to provide a selectivity of at least 3:1 favoring the dielectric layer having the lower carbon or hydrogen content.

A silicon oxide layer containing at least 1% by atomic weight of carbon or at least 0.1% by atomic weight of hydrogen is produced by spin on methods, or by chemical vapor deposition of one or more organosilicon compounds using power levels, flow rates, and composition changes to control the carbon content and hydrogen content of the deposited material. Low  $k$  dielectric layers having varying carbon or hydrogen content can be deposited in a single chamber to provide all of the dielectric layers in the dual damascene method. The deposited dielectric layers are then etched with gases that control passivating deposits on the

surfaces of etched features to provide an etch selectivity of at least 3:1 between adjacent dielectric layers having dielectric constants less than about 4, preferably less than about 3.

The present invention broadly includes etching of adjacent low k dielectric layers. The scope of the invention as claimed below is fully supported by the description of the following preferred embodiments for etching or depositing dielectric layers that contain carbon or hydrogen.

#### A First Preferred Dual Damascene Process

A preferred dual damascene process shown in Figs. 1A-1H includes etching of two adjacent low k dielectric layers 10, 12 wherein the etch selectivity between the two layers is at least 3:1 when the etch gases contain fluorocarbon gases and substantially no carbon:oxygen compounds. In other words, the adjacent low k dielectric layers have different compositions, and the second layer 12 has an etch rate that is at least three times greater than the etch rate of the first layer 10 when the etch gases include a fluorocarbon gas without substantial amounts of a carbon:oxygen gas. The first dielectric layer 10 functions as an etch stop layer during etching of the second dielectric layer 12. Addition of carbon:oxygen compounds such as carbon monoxide to the etch gases alters the etch rates for the dielectric layers 10, 12 such that both layers can be etched without substantial changes in the etch gas composition.

Referring to Fig. 1A, a first low k dielectric layer 10 containing silicon, oxygen, carbon, and hydrogen, such as spin on low k dielectrics (doped) or a CVD layer deposited by oxidation of an organosilicon compound containing C-H bonds and C-Si bonds, is deposited on a barrier layer 14. The first low k dielectric layer 10 preferably contains at least about 5% carbon by atomic weight or at least about 1% hydrogen by atomic weight. A second low k dielectric layer 12, such as spin on low k dielectrics (doped or undoped) or a CVD layer deposited by oxidation of an organosilicon compound contains less than about two-thirds of the carbon and less than about one-fifth of the hydrogen contained in the first dielectric layer 10, preferably less than one-half of the carbon and less than one-tenth of the hydrogen. The dielectric layers 10, 12 are typically deposited on a barrier layer 14, such as silicon nitride or silicon carbide, that protects the dielectric layers from diffusion of a conductive material 16 such as copper filling a feature in a prior dielectric layer 18. The etch selectivity between the first dielectric layer 10 and the barrier layer 14 is at least 2:1. A photoresist layer 20 or a hard

mask layer is deposited on the stack of dielectric layers 10, 12 to transfer a pattern that is etched into the dielectric layers. The first dielectric layer 10 contains sufficient carbon or hydrogen to have an etch rate that is at least three times lower than the etch rate for the second dielectric layer 12 when etched with one or more fluorocarbon gases and substantially no carbon: oxygen gases.

Methods for depositing the first and second dielectric layers 10, 12 to obtain varying carbon and hydrogen contents is described in more detail below. Deposition of low  $k$  dielectric layers having low carbon content (less than about 1% by atomic weight) and low hydrogen content (less than about 0.1% by atomic weight) can also be performed using conventional processes for depositing silicon oxides, such as by oxidation of tetraethylorthosilicate (TEOS), also known as tetraethoxysilane.

The first dielectric layer 10 is preferably deposited to a thickness of about 5,000 to about 10,000 Å. The second dielectric layer 12 is then deposited to a thickness of about 5,000 to about 10,000 Å. The dielectric layers 10, 12 can be deposited in the same chamber using the same reactants, such as methysilane or trimethylsiloxane, by varying flow rates and or power levels as described in examples below. When the barrier layer 14 is a silicon carbide layer, the barrier layer may also be deposited in the same chamber as the dielectric layers using the same organosilicon compound.

Although the first dielectric layer could be etched prior to deposition of the second dielectric layer, it is preferred to deposit both dielectric layers prior to etching with gases that combine a fluorocarbon gas and a carbon: oxygen gas.

Referring to Fig. 1B, the photoresist or hard mask 20 is patterned to define horizontal interconnects 22 to be etched in the second dielectric layer 12. As shown in an embodiment below, a pattern defining vertical interconnects could be used first. A typical photoresist for silicon oxide layers is "RISTON," manufactured by duPont de Nemours Chemical Company. The photoresist is exposed to UV light to define the pattern and then portions of the photoresist are stripped away. A hard mask such as a silicon oxide layer containing carbon or hydrogen could be used below the photoresist and etched as described below after the pattern is developed in the photoresist. The photoresist or hard mask then provides the pattern that is transferred to the underlying layers.

Referring to Fig. 1C, the horizontal interconnects 22 are then etched into the second dielectric layer 12 using gases that combine one or more fluorocarbons without substantial

amounts of carbon:oxygen gases. Etching of the dielectric layers to form horizontal interconnects is preferably performed with a mixture of gases including argon and one or more gases selected from  $\text{CF}_4$ ,  $\text{C}_2\text{F}_6$ , and  $\text{C}_4\text{F}_8$ . The photoresist 20 or other material used to pattern the horizontal interconnects 22 is then preferably stripped using an oxygen/hydrogen ashing process, e.g., by combination of oxygen and ammonia gases, or by another suitable process.

Referring to Fig. 1D, a second resist layer 24 or hard mask is deposited on the horizontal interconnects 22 and a planar surface is provided for transfer of a pattern that defines vertical interconnects 26. The photoresist is exposed to UV light to define the pattern and then portions of the photoresist are removed to define the vertical interconnects 26. The photoresist 24 or hard mask provides the pattern that is transferred to the underlying layers during subsequent etching. If the vertical interconnects are etched first as described in the next embodiment, then the second resist layer or hard mask would be used to define the horizontal interconnects.

Referring to Fig. 1E, the first dielectric layer 10 and the barrier layer 14 are then etched to complete the vertical interconnects 26 using gases that combine one or more fluorocarbons and a carbon:oxygen gas. Etching of the dielectric layers to form vertical interconnects is preferably performed with a mixture of gases including argon,  $\text{CO}$ , and one or more gases selected from  $\text{CF}_4$ ,  $\text{C}_2\text{F}_6$ , and  $\text{C}_4\text{F}_8$ . Referring to Fig. 1F, any photoresist or other material used to pattern the vertical interconnects 26 is preferably stripped using an oxygen/hydrogen ashing process, e.g., by combination of oxygen and ammonia gases, or by another suitable process.

Referring to Fig. 1G, a suitable barrier layer 28 such as tantalum nitride is first deposited conformally in the horizontal and vertical interconnects 22, 26 to prevent metal migration into the surrounding silicon and/or dielectric materials. Referring to Fig. 1H, the horizontal and vertical interconnects 22, 26 are then filled with a conductive material 30 such as aluminum, copper, tungsten or combinations thereof. Presently, the trend is to use copper to form the smaller features due to the low resistivity of copper (1.7 mW-cm compared to 3.1 mW-cm for aluminum). Copper is deposited using either chemical vapor deposition, physical vapor deposition, electroplating, or combinations thereof to form the conductive structure. Once the structure has been filled with copper or other metal, the surface is planarized using chemical mechanical polishing, as shown in Fig. 1H.

In an alternative embodiment, the first dielectric layer 10 in Figs. 1A-1H could be deposited on an initial silicon oxide layer (not shown), such as obtained by oxidation of TEOS, when the etch selectivity between the first dielectric layer 10 and the barrier layer 14 is less than 2:1, such as when the barrier layer 14 is silicon nitride and the dielectric layer contains more than 5% carbon by atomic weight or more than 1% hydrogen by atomic weight. The initial dielectric layer is selected to have an etch selectivity of at least 2:1 with respect to the barrier layer 14 so that the vertical interconnects 26 can be fully etched before the barrier layer is totally removed from some of the vertical interconnects. The initial oxide layer would preferably have a thickness of from about 1,000 Å to about 3,000 Å to provide time for the vertical interconnects to be completed to the barrier layer.

#### A Second Preferred Dual Damascene Process

Another preferred dual damascene process shown in Figs. 2A-2H replaces a conventional etch stop layer with a low  $k$  dielectric layer that functions as an etch stop layer 40 between two low  $k$  dielectric layers 42, 44. The dielectric layers 42, 44 have an etch rate that is at least three times greater than the etch rate of the etch stop layer 40 when the etch gases contain fluorocarbon gases and substantially no carbon:oxygen compounds. Preferably, the dielectric layers and the etch stop layer have similar compositions except that the etch stop layer has higher amounts of carbon or hydrogen.

Referring to Fig. 2A, a first low  $k$  dielectric layer 42 and a third low  $k$  dielectric layer 44 contain low amounts of carbon and hydrogen, such as spin on low  $k$  dielectrics (doped or undoped) or a CVD layer deposited by oxidation of an organosilicon compound. A second low  $k$  dielectric layer 40, the etch stop layer, contains relatively high amounts of carbon or hydrogen, such as spin on low  $k$  dielectrics (doped) or a CVD layer deposited by oxidation of an organosilicon compound having C-H bonds and C-Si bonds. The second low  $k$  dielectric layer 40 preferably contains at least about 5% carbon by atomic weight or at least about 1% hydrogen by atomic weight. The first and third low  $k$  dielectric layers 42, 44 contain less than two-thirds of the carbon or less than one-fifth of the hydrogen contained in the second dielectric layer 40, preferably less than one-half of the carbon and less than one-tenth of the hydrogen. The dielectric layers 42, 40, 44 are typically deposited on a barrier layer 46, such as silicon nitride or silicon carbide, that protects a conductive material 48 such as copper

filling a feature in a lower dielectric layer 50. The etch selectivity of the first dielectric layer 42 and the barrier layer 14 is at least 2:1.

A photoresist layer or a hard mask layer 52 is deposited on the stack of dielectric layers 40, 42, 44 to transfer a pattern that is etched into the dielectric layers. The etch stop layer 40 preferably contains sufficient carbon or hydrogen to have an etch rate that is at least three times lower than the etch rate for the first and third dielectric layers 42, 44 when the etch gases do not contain substantial amounts of a carbon:oxygen gas. Deposition of the dielectric layers to have varying carbon and hydrogen contents is described in more detail below.

The first and third dielectric layers 42, 44 are preferably deposited to a thickness of about 5,000 to about 10,000 Å. The etch stop layer 40 is preferably deposited to a thickness of about 500 to about 1,000 Å. The first and third dielectric layers 42, 44 and the etch stop layer 40 can be deposited in the same chamber using the same reactants by varying flow rates and or power levels as described in examples below. When the barrier layer 46 is a silicon carbide layer, the barrier layer may also be deposited in the same chamber as the dielectric layers.

Referring to Fig. 2B, the photoresist 52 hard mask is then patterned to define vertical interconnects 54 to be etched in the first and third low  $k$  dielectric layers 42, 44 and the etch stop layer 40. As shown in the first embodiment above, a pattern defining horizontal interconnects could be used first. A typical photoresist for silicon oxide layers is "RISTON," manufactured by duPont de Nemours Chemical Company. The photoresist is exposed to UV light to define the pattern and then portions of the photoresist are stripped away. A hard mask such as a silicon oxide layer containing carbon or hydrogen could be used below the photoresist and etched as described below after the pattern is developed in the photoresist. The photoresist or hard mask then provides the pattern that is transferred to the underlying layers.

Referring to Fig. 2C, the vertical interconnects 54 are then etched into the first and third low  $k$  dielectric layers 42, 44, the low  $k$  etch stop layer 40, and the barrier layer 46 using gases that combine fluorocarbons and carbon:oxygen gases. Etching of the dielectric layers to form vertical interconnects is preferably performed with a mixture of gases including argon, CO, and one or more gases selected from  $CF_4$ ,  $C_2F_6$ , and  $C_4F_8$ . Any photoresist 52 or other material used to pattern the vertical interconnects 54 is preferably stripped using an

oxygen/hydrogen ashing process, e.g., by combination of oxygen and ammonia gases, or by another suitable process if necessary.

Referring to Fig. 2D, a second resist layer 55 or hard mask is deposited and then patterned to define the horizontal interconnects 56. The photoresist is exposed to UV light to define the pattern and then portions of the photoresist are removed to define the horizontal interconnects 56. If the horizontal interconnects were etched first, a second resist layer or hard mask would be used to define the vertical interconnects as previously described for the first embodiment. The photoresist could be left in the bottom of the vertical interconnects 54 if desired to reduce etching of the underlying layer 48.

Referring to Fig. 2E, the third dielectric layer 44 is then etched to complete the horizontal interconnects 56 using gases that include one or more fluorocarbons without substantial amounts of the carbon:oxygen gases. Etching of the dielectric layers to form horizontal interconnects 56 is preferably performed with a mixture of gases selected from argon and one or more gases selected from  $\text{CF}_4$ ,  $\text{C}_2\text{F}_6$ , and  $\text{C}_4\text{F}_8$ , to provide a selectivity of at least 3:1 with respect to the etch stop layer 40. The carbon:oxygen gas is reduced omitted to provide a lower etch rate for the etch stop layer 40. Referring to Fig. 2F, any photoresist or other material used to pattern the horizontal interconnects 56 is stripped prior to filling the horizontal and vertical interconnects 56, 54. The photoresist is preferably stripped using an oxygen/hydrogen ashing process, e.g., by combination of oxygen and ammonia gases, or by another suitable process.

Referring to Fig. 2G, a suitable barrier layer 58 such as tantalum nitride is first deposited conformally in the horizontal and vertical interconnects 56, 54 to prevent metal migration into the surrounding silicon and/or dielectric materials. Referring to Fig. 2H, the horizontal and vertical interconnects 56, 54 are then filled with a conductive material 60 such as aluminum, copper, tungsten or combinations thereof as described for the first embodiment.

Depending on the selectivity of the etch processes, the horizontal or vertical interconnects can be etched after deposition of each dielectric layer. In the alternative, the etch stop layer could be etched prior to deposition of the third dielectric layer. However, additional transfers of the substrate between chambers is required to alternate between deposition and etching of the dielectric layers.

In an alternative embodiment, the etch stop 40 in Figs. 2A-2H could be a silicon nitride or silicon carbide layer deposited on a conventional dielectric layer 42 having a

dielectric constant greater than about 4.0. Thus, a low  $k$  dielectric layer 44 would enhance isolation of the horizontal interconnects 56 while the conventional dielectric layer 42 adequately isolates the vertical interconnects 54.

#### Deposition of Low $k$ Dielectric Layers

The present invention provides a dielectric layer having a low dielectric constant ( $k$  less than or equal to about 4.0) and having an etch rate at least 3 times lower than the etch rate for an adjacent low  $k$  dielectric layer under etch conditions suitable for forming horizontal interconnects in dielectric layers. Such low  $k$  dielectric layers can be produced by spin on or CVD methods wherein silicon carbide layers or silicon oxide layers containing carbon and hydrogen are formed. Low  $k$  dielectric layers having varying etch rates can be produced in the same chamber by varying amounts of the process gases as discussed in the following description.

Preferred low  $k$  dielectric layers are produced by oxidation of an organosilicon compound containing both C-H bonds and C-Si bonds, such as methylsilane,  $\text{CH}_3\text{SiH}_3$ , dimethylsilane,  $(\text{CH}_3)_2\text{SiH}_2$ , trimethylsilane,  $(\text{CH}_3)_3\text{SiH}$ , 1,1,3,3-tetramethyldisiloxane,  $(\text{CH}_3)_2\text{-SiH-O-SiH-(CH}_3)_2$ , or trimethylsiloxane,  $(\text{CH}_3)_3\text{-Si-O-Si-(CH}_3)_3$ . The silicon oxide layers are cured at low pressure and high temperature to stabilize properties. The carbon and hydrogen contents of the deposited dielectric layers is controlled by varying process conditions such as by changing to another organosilicon compound, by oxidation with a variety of oxidizing gases such as oxygen, ozone, nitrous oxide, and water, by varying RF power levels during deposition, and by changing flow rates of process gases.

Carbon or hydrogen which remains in the silicon oxide or silicon carbide layers contributes to low dielectric constants, good barrier properties, and reduced etch rates. The silicon oxide or silicon carbide layers are produced from silicon compounds that include carbon within organic groups that are not readily removed by oxidation at processing conditions. Preferably C-H bonds are included, such as in alkyl or aryl groups. Suitable organic groups also can include alkenyl and cyclohexenyl groups and functional derivatives. The organosilicon compounds contain varying ratios of carbon to silicon and include:

methylsilane,  
dimethylsilane,

$\text{CH}_3\text{-SiH}_3$   
 $(\text{CH}_3)_2\text{-SiH}_2$

trimethylsilane,	$(CH_3)_3-SiH$
tretramethylsilane,	$(CH_3)_4-Si$
dimethylsilanol, diethoxymethylsilane,	$(CH_3)_2-Si-(OH)_2$
ethylsilane,	$CH_3-CH_2-SiH_3$
phenylsilane,	$C_6H_5-SiH_3$
diphenylsilane,	$(C_6H_5)_2-SiH_2$
diphenylsilanol, diphenylmethoxymethylsilane,	$(C_6H_5)_2-Si-(OH)_3$
methylphenylsilane,	$C_6H_5-SiH_2-CH_3$
disilanolmethane,	$SiH_3-CH_2-SiH_3$
bis(methylsilano)methane,	$CH_3-SiH_2-CH_2-SiH_2-CH_3$
1,2-disilanoethane,	$SiH_3-CH_2-CH_2-SiH_3$
1,2-bis(methylsilano)ethane,	$CH_3-SiH_2-CH_2-CH_2-SiH_2-CH_3$
2,2-disilanopropane,	$SiH_3-C(CH_3)_2-SiH_3$
1,3,5-trisilano-2,4,6-trimethylene,	$-(-SiH_2CH_2-)_3- \text{ (cyclic)}$
1,3-dimethyldisiloxane,	$CH_3-SiH_2-O-SiH_2-CH_3$
1,1,3,3-tetramethyldisiloxane,	$(CH_3)_2-SiH-O-SiH-(CH_3)_2$
trimethylsiloxane,	$(CH_3)_3-Si-O-Si-(CH_3)_3$
1,3-bis(silanomethylene)disiloxane,	$(SiH_3-CH_2-SiH_2-)_2-O$
bis(1-methyldisiloxanyl)methane,	$(CH_3-SiH_2-O-SiH_2-)_2-CH_3$
2,2-bis(1-methyldisiloxanyl)propane,	$(CH_3-SiH_2-O-SiH_2-)_2-C(CH_3)_2$
2,4,6,8-tetramethylcyclotetrasiloxane,	$-(-SiHCH_3-O-)_4- \text{ (cyclic)}$
octamethylcyclotetrasiloxane,	$-(-Si(CH_3)_2-O-)_4- \text{ (cyclic)}$
2,4,6,8,10-pentamethylcyclopentasiloxane,	$-(-SiHCH_3-O-)_5- \text{ (cyclic)}$
1,3,5,7-tetrasilano-2,6-dioxy-4,8-dimethylene,	$-(-SiH_2-CH_2-SiH_2-O-)_2- \text{ (cyclic)}$
2,4,6-trisilane tetrahydropyran, and	$-SiH_2-CH_2-SiH_2-CH_2-SiH_2-O- \text{ (cyclic)}$
2,5-disilane tetrahydrofuran.	$-SiH_2-CH_2-CH_2-SiH_2-O- \text{ (cyclic)}$

and derivatives thereof.

The organo silicon compounds are preferably oxidized during deposition by reaction with oxygen ( $O_2$ ) or oxygen containing compounds such as nitrous oxide ( $N_2O$ ), ozone ( $O_3$ ), carbon dioxide ( $CO_2$ ), and water ( $H_2O$ ), preferably  $O_2$  or  $N_2O$ , such that the carbon content of the deposited layer is at least 1% by atomic weight and the hydrogen content of the deposited

layer is at least 0.1% by atomic weight. The oxidized organosilicon layer preferably has a dielectric constant of about 3.0 or less. The oxidized organosilicon layers provide low etch rates in comparison to the conventional silicon oxide compounds.

The organosilicon compounds can also be deposited as silicon carbide layers by providing sufficient energy to dissociate the compounds. The silicon carbide layers may contain low amounts of oxygen to assist in varying etch rates for the deposited layers.

The hydrocarbon groups in the organosilanes and organosiloxane may be partially fluorinated to convert C-H bonds to C-F bonds. Many of the preferred organosilane and organosiloxane compounds are commercially available. A combination of two or more of the organosilanes or organosiloxanes can be employed to provide a blend of desired properties such as dielectric constant, oxide content, hydrophobicity, film stress, and plasma etching characteristics.

Oxygen and oxygen containing compounds are preferably dissociated to increase reactivity when necessary to achieve a desired carbon content in the deposited layer. RF power can be coupled to the deposition chamber to increase dissociation of the oxidizing compounds. Reduced amounts of oxygen or reduced dissociation of the oxygen results in higher carbon contents, especially higher amounts of C-H or Si-CH<sub>3</sub> bonds in comparison to Si-O bonds. The oxidizing compounds may also be dissociated in a microwave chamber prior to entering the deposition chamber to reduce excessive dissociation of the silicon containing compounds. Deposition of the silicon oxide layer can be continuous or discontinuous. Although deposition preferably occurs in a single deposition chamber, the layer can be deposited sequentially in two or more deposition chambers. Furthermore, RF power can be cycled or pulsed to reduce heating of the substrate and promote greater porosity in the deposited layer. During deposition of the silicon oxide layer, the substrate is maintained at a temperature of from about -20°C to about 400°C, and preferably is maintained at a temperature of approximately -20°C to 40°C.

The oxidized organosilicon compounds adhere to contacted surfaces such as a patterned layer of a semiconductor substrate to form a deposited layer. The deposited layers are cured at low pressure and at temperatures from about 100 to about 450°C, preferably above about 400°C to stabilize the barrier properties of the layers. The deposited layer has sufficient hydrogen content to provide barrier properties. The carbon content preferably

includes C-H or C-F bonds to provide a hydrophobic layer that is an excellent moisture barrier.

The method of the present invention employs a substrate processing system having a vessel including a reaction zone, a cathode pedestal for positioning a substrate in the reaction zone, and a vacuum system. The processing system further comprises a gas/liquid distribution system connecting the reaction zone of the vessel to supplies of an organosilane or organosiloxane compound, an oxidizing gas, and an inert gas, and an RF generator coupled to the gas distribution system for generating a plasma in the reaction zone. The processing system further comprises a controller comprising a computer for controlling the vessel, the gas distribution system, and the RF generator, and a memory coupled to the controller, the memory comprising a computer usable medium comprising a computer readable program code for selecting the process steps of depositing a low dielectric constant layer with a plasma of an organosilane or organosiloxane compound and an oxidizing gas.

Etching of the deposited silicon oxide layers can be performed in conventional etch chambers such as described in United States Patent No. 5,843,847, which description is incorporated by reference herein. A preferred etch chamber is the IPS chamber available from Applied Materials, Inc. of Santa Clara, Calif. The '847 patent further describes etching of dielectric layers, which description is also incorporated by reference herein.

Further description of the invention relates to specific apparatus for depositing and etching silicon oxide layers of the present invention and to preferred deposition and etch sequences for preparing dual damascene silicon oxide layers.

#### Exemplary CVD Plasma Reactor and Process

One suitable CVD plasma reactor in which a method of the present invention can be carried out is shown in Fig. 3, which is a vertical, cross-section view of a parallel plate chemical vapor deposition reactor 110 having a high vacuum region 115. Reactor 110 contains a gas distribution manifold 111 for dispersing process gases through perforated holes in the manifold to a substrate or wafer (not shown) that rests on a substrate support plate or susceptor 112 which is raised or lowered by a lift motor 114. A liquid injection system (not shown), such as typically used for liquid injection of TEOS, may also be provided for injecting a liquid organosilane and/or organosiloxane compound. The preferred organosilanes are gases.

The reactor 110 includes heating of the process gases and substrate, such as by resistive heating coils (not shown) or external lamps (not shown). Referring to Fig. 3, susceptor 112 is mounted on a support stem 113 so that susceptor 112 (and the wafer supported on the upper surface of susceptor 112) can be controllably moved between a lower loading/off-loading position and an upper processing position which is closely adjacent to manifold 111.

When susceptor 112 and the wafer are in processing position 114, they are surrounded by a an insulator 117 and process gases exhaust into a manifold 124. During processing, gases inlet to manifold 111 are uniformly distributed radially across the surface of the wafer. A vacuum pump 132 having a throttle valve controls the exhaust rate of gases from the chamber.

Before reaching manifold 111, deposition and carrier gases are input through gas lines 118 into a mixing system 119 where they are combined and then sent to manifold 111. An optional microwave applicator 128 can be located on the input gas line for the oxidizing gas to provide additional energy that dissociates only the oxidizing gas. The microwave applicator provides from 0 to 6000 W. Generally, the process gases supply line 118 for each of the process gases also includes (i) safety shut-off valves (not shown) that can be used to automatically or manually shut off the flow of process gas into the chamber, and (ii) mass flow controllers (also not shown) that measure the flow of gas through the gas supply lines. When toxic gases are used in the process, several safety shut-off valves are positioned on each gas supply line in conventional configurations.

The deposition process performed in reactor 110 can be either a thermal process or a plasma enhanced process. In a plasma process, a controlled plasma is typically formed adjacent to the wafer by RF energy applied to distribution manifold 111 from RF power supply 125 (with susceptor 112 grounded). Alternatively, RF power can be provided to the susceptor 112 or RF power can be provided to different components at different frequencies. RF power supply 125 can supply either single or mixed frequency RF power to enhance the decomposition of reactive species introduced into the high vacuum region 115. A mixed frequency RF power supply typically supplies power at a high RF frequency (RF1) of 13.56 MHz to the distribution manifold 111 and at a low RF frequency (RF2) of 360 KHz to the susceptor 112. The silicon oxide layers of the present invention are most preferably produced using low levels of constant high frequency RF power or pulsed levels of high frequency RF

power. Pulsed RF power preferably provides 13.56 MHz RF power at about 20W to about 500W, most preferably from 20W to about 250W, during about 10% to about 30% of the duty cycle. Constant RF power preferably provides 13.56 MHz RF power at about 10W to about 200W, preferably from about 20W to about 100W. Low power deposition preferably occurs at a temperature range from about -20°C to about 40°C. At the preferred temperature range, the deposited layer is partially polymerized during deposition and polymerization is completed during subsequent curing of the layer.

For deposition of silicon carbide layers, the reaction occurs without a substantial source of oxygen introduced into the reaction zone. Preferably, the 13.56 MHz RF power source applies about 300 to 700 watts with a power density of about 4.3 to 10 watts/cm<sup>2</sup> to the anode and cathode to form the plasma in the chamber with the organosilicon compound. The substrate surface temperature is maintained between about 200° to 400° C, during the deposition of the SiC. For a more optimal, designated "most preferred," process regime, trimethylsilane or methylsilane flow rate is about 50 to 200 sccm, helium or argon flow rate to about 200 to 1000 sccm, the chamber pressure is from about 6 to about 10 Torr, the RF power is from about 400 to about 600 watts with a power density of about 5.7 to 8.6 watts/cm<sup>2</sup>, and the substrate surface temperature maintained between about 300° to 400° C.

Typically, any or all of the chamber lining, distribution manifold 111, susceptor 112, and various other reactor hardware is made out of material such as aluminum or anodized aluminum. An example of such a CVD reactor is described in U.S. Patent 5,000,113, entitled A Thermal CVD/PECVD Reactor and Use for Thermal Chemical Vapor Deposition of Silicon Dioxide and *In-situ* Multi-step Planarized Process, issued to Wang et al. and assigned to Applied Materials, Inc., the assignee of the present invention.

The lift motor 114 raises and lowers susceptor 112 between a processing position and a lower, wafer-loading position. The motor, the gas mixing system 119, and the RF power supply 125 are controlled by a system controller 134 over control lines 136. The reactor includes analog assemblies, such as mass flow controllers (MFCs) and standard or pulsed RF generators, that are controlled by the system controller 134 which executes system control software stored in a memory 138, which in the preferred embodiment is a hard disk drive. Motors and optical sensors are used to move and determine the position of movable mechanical assemblies such as the throttle valve of the vacuum pump 132 and motor for positioning the susceptor 112.

The above CVD system description is mainly for illustrative purposes, and other plasma CVD equipment such as electrode cyclotron resonance (ECR) plasma CVD devices, induction-coupled RF high density plasma CVD devices, or the like may be employed. Additionally, variations of the above described system such as variations in susceptor design, heater design, location of RF power connections and others are possible. For example, the wafer could be supported and heated by a resistively heated susceptor. The pretreatment and method for forming a pretreated layer of the present invention is not limited to any specific apparatus or to any specific plasma excitation method.

The etch rate of low  $k$  dielectrics deposited in the processing chamber is controlled by adjusting the process gas flow rates and reactor power levels to deposit dielectric layers having desired carbon and hydrogen contents. The relative ratios of Si-CH<sub>3</sub>, Si-H, or C-H bonds to the number of Si-O bonds for preferred dielectric layers A-D described in Table 1 are shown in Fig. 4. Based on atomic analysis of layer D, the estimated hydrogen and carbon contents of layers A-D are shown in Table 1 as atomic weight percent. In Fig. 4, A-C represent methylsilane flow rates of 34 sccm and D is a flow rate of 68 sccm. A and D are at power levels of 80 W, B is a power level of 300 W, and C is a power level of 20 W. The remaining conditions for depositing layers A-D are shown in Table 1. Table 1 and Fig. 4 demonstrate the variability in the hydrogen and carbon content based on changes in process conditions, which is an aspect of the present invention. The variation in carbon or hydrogen content is then used to provide selective etching of the layer having lower carbon content or lower hydrogen content as discussed in more detail below.

Table 1. Process Conditions for Varying Carbon and Hydrogen Contents

Recipe	A	B	C	D
Methysilane (sccm)	34	34	34	68
N <sub>2</sub> O (sccm)	360	360	360	360
He (sccm)	2000	2000	2000	2000
Power (W)	80	300	20	80
Spacing (mils)	320	320	320	320
Pressure (torr)	3.0	3.0	3.0	3.0
Est. C, atomic wt%	8	5	9.5	10.5
Est. H <sub>2</sub> , atomic wt%	5	0.3	2.5	3

### Exemplary Etch Processes and Chamber

A preferred etch process for dielectric layers is described in United States Patent No. 5,843,847, issued December 1, 1998, which description is incorporated by reference herein. In the preferred process, etching of sidewalls in vertical and horizontal interconnects is controlled by formation of passivating deposits that condense on the sidewalls and reduce etching of the sidewalls. The etch gases include fluorocarbon gases and carbon-oxygen gases combined in amounts that provide either high selectivity or low selectivity depending on the amount of the carbon:oxygen gas. The etch compositions also provide low microloading which is a measure of the difference in etch rate for large and small sized features.

In order to provide highly selective etching and reduced microloading for silicon oxide layers that contain hydrogen and carbon, it was discovered that the carbon:oxygen gases actually assisted in removing excessive passivating compounds that built up on the surfaces of etched features from the carbon or the hydrogen released from the dielectric layer. The excessive passivating layer on the surfaces of the etched features limits etching of the sidewalls when carbon:oxygen gases are included in the etch gases, and reduction of the passivating layer surprisingly occurs by lowering or stopping the flow of the carbon:oxygen gas.

Fig. 5 illustrates an inductively coupled RF plasma etch chamber having a single wafer processing chamber 140, such as for example, an IPS ETCH chamber, commercially available from Applied Materials Inc., Santa Clara, California. The particular embodiment of the etch chamber shown herein is provided only to illustrate the invention, and should not be used to limit the scope of the invention. Other inductively coupled chambers can be used to etch the dielectric layers, such as a Dielectric Etch MxP+ chamber, also commercially available from Applied Materials. The dielectric layers can also be etched in parallel plate plasma chambers.

The etch chamber shown in Fig. 5 is typically evacuated to a pressure of less than about 150 mTorr, and a substrate is transferred to the processing chamber 140. A plasma is generated in the processing chamber by dual solenoid coils 142, 190 having windings 144, 192 that are concentrated in a non-planar fashion around an axis of symmetry 146 that coincides with the center of the processing chamber 140. Other coil configurations, such as an optional coil 194, would be evident to persons skilled in the art.

The processing chamber 140 is surrounded by a cylindrical side wall 150 and a ceiling 152. A pedestal 154 at the bottom of the processing region 140 supports the substrate 156. The processing chamber 140 is evacuated through an annular passage 158 to a pumping annulus 160 surrounding the lower portion of the processing chamber 140. The interior of the annulus 160 is preferably lined with a replaceable liner 160A. The annular passage 158 is defined by the bottom edge 150A of the side wall 150 and a disposable ring 162 that surrounds the pedestal 154. Process gas is provided through one or more gas feeds 164A-C.

The central solenoid coil 142 is wound around a housing 166 surrounding a center radiant heater 172. A first plasma source RF power supply 168 is connected to the inner coil 142 and a second power supply 196 is connected to the outer coil 190. In the alternative, a single power supply 197A could be connected to both coils using a splitter 196. A bias power supply 170 is connected to the pedestal 154. Additional radiant heaters 172 such as halogen lamps are mounted in unoccupied regions of the ceiling and a cooling plate 174 having coolant passages 174A rests above the ceiling. A torus 175 holds the cooling plate 174 above the chamber ceiling 152. Plural axial holes 175A extend through the torus 175 for mounting the heaters or lamps 172. The ceiling temperature is sensed by a thermocouple 176. For good thermal contact, a thermally conductive material 173 is placed between the torus 175 and the chamber ceiling 152, and between the torus 175 and the cold plate 174.

Radiant heaters 177 such as tungsten halogen lamps are positioned below the disposable ring 162 to heat the ring through a window 178. The temperature of the ring 162 is controlled using a temperature sensor 179 that may extend into a hole 162A in the ring 162.

Plasma confinement magnets 180, 182 are provided adjacent to the annular opening 158 to prevent or reduce plasma flow into the pumping annulus 160. The replaceable liner 160A is preferably cooled to a temperature that collects any active monomer or specie that enters the annulus 160. A wafer slit 184 in a wall of the pumping annulus 160 accommodates wafer ingress and egress.

The etching process of the present invention provides high etch rates and highly selective etching of the dielectric layers on the substrate. The process gas used in the etching process comprises (i) fluorocarbon gas for etching the dielectric layer and forming passivating deposits on the substrate, (ii) carbon-oxygen gas for reducing formation of passivating deposits, and (iii) argon or nitrogen-containing gas for removing the passivating

deposits on the substrate. The nature of these gases and preferred volumetric flow ratios of the gases will now be described.

The fluorocarbon gas is capable of forming fluorine-containing species that etch the dielectric layer on the substrate. For example, a silicon dioxide layer is etched by fluorine containing ions and neutrals to form volatile  $\text{SiF}_x$  species that are exhausted from the processing chamber 140. Suitable fluorocarbon gases include carbon, fluorine, and optionally hydrogen, such as for example,  $\text{CF}_3$ ,  $\text{CF}_4$ ,  $\text{CH}_3\text{F}$ ,  $\text{CHF}_3$ ,  $\text{CH}_2\text{F}_2$ ,  $\text{C}_2\text{H}_4\text{F}_6$ ,  $\text{C}_2\text{F}_6$ ,  $\text{C}_3\text{F}_8$ ,  $\text{C}_4\text{F}_8$ ,  $\text{C}_2\text{HF}_5$ , and  $\text{C}_4\text{F}_{10}$ . It is believed, in general, the absence of hydrogen in the process gas provide increased amounts of free carbon and  $\text{CF}_2$  radicals that result in anisotropic etching and increased etching selectivity. Preferred gases include  $\text{CF}_4$ ,  $\text{C}_2\text{F}_6$ , and  $\text{C}_4\text{F}_8$ .

The carbon:oxygen gas is used to provide etch selectivity when desired by controlling formation and removal of carbon-containing species that form passivating deposits on the substrate. In addition, the carbon:oxygen gas enhances the formation of free oxygen species that react with other species to reduce the formation of polymers that deposit on the surfaces of the etched features as passivating deposits. For example,  $\text{CF}_2$  radicals polymerize to form polymers that deposits on the sidewalls of the freshly etched features as a passivating deposit that improves vertical anisotropic etching. For these reasons, the flow rate of carbon:oxygen gas is substantially reduced or eliminated to provide sufficient fluorine-containing species to rapidly etch the dielectric layers while providing high dielectric to underlayer etching selectivity, and anisotropic etching. Suitable carbon:oxygen gases include for example,  $\text{CO}$ ,  $\text{HCOOH}$ ,  $\text{HCHO}$ , and  $\text{CO}_2$  of which  $\text{CO}$  is preferred. Oxygen may also be added to assist in removing excessive passivating deposits that form on the sidewalls of vias and trenches.

It is believed the oxygen containing gases react with some of the  $\text{CF}_2$  radicals to form volatile radicals which are exhausted from the processing chamber 140. A resultant increase in oxygen species at the surface of the specie or in the plasma zone reacts with free carbon to reduce the amount of passivating deposits formed on the substrate, and prevent deposition of excessively thick passivating deposit layers that can stop the etching process.

For selective etching, the volumetric flow ratio of fluorocarbon/carbon:oxygen gases is selected so the rate of formation of passivating deposits on the surfaces of the freshly etched features is different for the different low  $k$  dielectric materials. For the dielectric material having the faster etch rate, the rate of formation of passivating deposits is approximately equal to the rate of removal of the passivating deposits. For the low dielectric

material having the slower etch rate, the rate of formation of passivating deposits exceeds the rate of removal of the passivating deposits. This provides high etching selectivity ratios, for example, an etching selectivity ratio of at least about 3:1, while simultaneously etching the dielectric layer at a high etch rate of at least about 400 nm/min, and more typically from 600 to 900 nm/min, with reduced etch rate microloading. When the substrate comprises an underlayer of material below the dielectric layer, such as silicon nitride or silicon carbide, the volumetric flow ratio of fluorocarbon/carbon:oxygen gas can be tailored to increase etching selectivity ratios for specific combinations of materials, such as for example, the etching selectivity of etching dielectric to resist, diffusion barrier layers, or anti-reflective layers. The volumetric flow ratio of fluorocarbon/carbon:oxygen containing gas can also be adjusted so that the sidewalls of the etched features have smooth surfaces that form angles of at least about 87 degrees with the surface of the dielectric layer on the substrate. The volumetric flow ratios can be tailored for different combinations of materials, and feature geometry, such as feature aspect ratios, to achieve specific etching selectivities, etch rate microloading, or etch rates without deviating from the scope of the present invention.

Preferably, inert gas is added to the process gas to form ionized sputtering species that sputter-off the passivating deposits on the sidewalls of the freshly etched features. The inert gas also ionizes to form ionized metastable states that enhance dissociation of the process gas. Thus, it is also desirable for the inert gas to have a wide range of excitation energies, so that energy transfer reactions which promote dissociation of the process gas can occur between the excited inert gas and the process gas. Suitable inert gases include argon, helium, neon, xenon, and krypton, of which argon is preferred. Sufficient inert gas is added to the process gas to assist in sputtering the passivating deposits off the substrate, and to enhance disassociation of the process gas. However, excessive flow of inert gas causes excessive sputtering of the resist on the substrate, resulting in resist faceting, etching of the dielectric layer underlying the resist, and high profile microloading.

Preferred compositions of process gases, suitable for etching carbon containing silicon oxide layers, comprise a mixture of gases including argon, CO, and one or more gases selected from CF<sub>4</sub>, C<sub>2</sub>F<sub>6</sub>, and C<sub>4</sub>F<sub>8</sub>. For the volume of the processing chamber described herein, (i) a suitable flow rate of CF<sub>4</sub> is from about 0 to about 80 sccm, and more preferably from about 20 to about 60 sccm; (ii) a suitable flow rate of C<sub>4</sub>F<sub>8</sub> is from about 0 to about 40 sccm, and more preferably from about 5 to about 30 sccm; (iii) a suitable flow rate of CO is

from about 0 to about 200 sccm, and more preferably from about 20 to about 150 sccm; and (iv) a suitable flow rate of argon is from about 50 to about 400 sccm, and more preferably from about 100 to about 300 sccm. Because actual flow rates are dependent upon the volume of the chamber 140, the invention should not be limited to the flow rates recited herein.

For etching of vertical interconnects in the preferred dielectric layers on an 8 inch substrate, the etch gases preferably comprise from about 10 sccm to about 80 sccm of one or more fluorocarbon gases and from about 100 sccm to about 200 sccm of a carbon:oxygen gas. During etching of the vertical interconnects, a mixture of fluorocarbon gases is preferred so that passivating deposits can be controlled by varying the relative amounts of specific fluorocarbon gases in addition to varying the relative amounts of the fluorocarbon gases and carbon:oxygen gases. A preferred carrier gas is from about 100 sccm to about 300 sccm of argon.

For etching of horizontal interconnects in the preferred dielectric layers on an 8 inch substrate, the etch gases preferably comprise from about 5 sccm to about 80 sccm of one or more fluorocarbon gases and less than about 5 sccm of a carbon:oxygen gas. During etching of the horizontal interconnects, a mixture of fluorocarbon gases can also be used to control passivating although passivating deposits are readily controlled by adjusting the flowrate of the fluorocarbon gases. A preferred carrier gas is from about 100 sccm to about 300 sccm of argon.

The etching process of the present invention provides non-selective or selective etching of dielectric layers containing carbon without sacrificing etch rate microloading and dielectric etching rates. By etching selectivity ratio, it is meant the ratio of the rate of etching of the dielectric layer to the rate of etching of adjacent layers of other materials, that include the underlying anti-reflective, diffusion barrier, silicon nitride, or silicon carbide, and overlying resist layers. The combination of the high etch rates, low microloading, and high etching selectivity is obtained by balancing the rate of deposition and removal of passivation species from the substrate, and by controlling the amount of fluorine-containing species available for etching the dielectric layer. While excessive passivating deposits reduce overall dielectric etch rates and increase etch rate microloading, suppression of the deposition or formation of polymer typically reduces etching selectivity.

The invention is further described by the following examples which are not intended to limit the scope of the claimed invention.

## EXAMPLE 1

A first oxidized methylsilane layer is deposited on an 8 inch silicon substrate placed in a DxZ chamber, available from Applied Materials, Inc., at a chamber pressure of 3.0 Torr and temperature of 15°C from reactive gases which are flowed into the reactor as follows:

Methylsilane, $\text{CH}_3\text{SiH}_3$ , at	34 sccm
Nitrous oxide, $\text{N}_2\text{O}$ , at	360 sccm
Helium, $\text{He}$ , at	2000 sccm.

The substrate is positioned 320 mil from the gas distribution showerhead and 300W of high frequency RF power (13 MHz) is applied to the showerhead for plasma enhanced deposition of a first oxidized methylsilane layer containing about 5% carbon by atomic weight and about 0.3% hydrogen by atomic weight, the first layer having a thickness of at least 5,000 Å. Then the flow of methylsilane is increased to 68 sccm and a second oxidized methylsilane layer is deposited at a power level of 80W, the second layer having a thickness of at least 1000 Å. Then the flow of methylsilane is decreased to 34 sccm and deposition of a third oxidized methylsilane layer containing about 5% carbon and 0.3% hydrogen is deposited at a power level of 300W, the layer having a thickness of at least 5000 Å. The deposited dielectric layers are then cured at 400°C to remove remaining moisture and the substrate is transferred for etching of a dual damascene structure.

In a conventional photolithographic process, a photoresist, such as "RISTON," manufactured by duPont de Nemours Chemical Company, is applied on the third oxidized methylsilane layer to a thickness of about 0.4 to about 1.3 micron, and the vias to be etched in the dielectric layers are defined by exposing the resist to a pattern of light through a mask that corresponds to the desired configuration of features. The dielectric layers below the unexposed portions of the resist are etched in an IPS ETCH chamber, available from Applied Materials Inc., using the following amounts of process gases:

$\text{C}_4\text{F}_8$ , at	20 sccm
$\text{CF}_4$ , at	40 sccm
$\text{CO}$ , at	150 sccm
Argon Ar, at	250 sccm.

The patterned substrate was placed on the cathode pedestal of the etch chamber, and the chamber was maintained at a pressure of about 30 mTorr. A plasma was generated by applying a RF voltage to the dual solenoid coil at a power level of about 2000 Watts. A bias power of 1000 Watts was applied to the cathode pedestal. The substrate was cooled or heated to -10 °C using a flow of backside helium to maintain a thin layer of passivating deposits on the sidewalls of freshly etched features. The etching process was performed for a sufficient time to etch vias in the third oxidized methysilane layer. Then etching of the via continued through the second oxidized methysilane layer at 30 mTorr with the following gas flows:

C <sub>4</sub> F <sub>8</sub> , at	0 sccm
CF <sub>4</sub> , at	60 sccm
CO, at	150 sccm
Argon Ar, at	250 sccm.

The etching process was performed for a sufficient time to etch through the second oxidized methysilane layer. Then etching continued through the first oxidized methysilane layer at 30 mTorr with the following gas flows:

C <sub>4</sub> F <sub>8</sub> , at	20 sccm
CF <sub>4</sub> , at	40 sccm
CO, at	150 sccm
Argon Ar, at	250 sccm.

The etching process was performed for a sufficient time to etch through the first oxidized methysilane layer. Then over-etching was performed with the following changes in flow rates:

C <sub>4</sub> F <sub>8</sub> , at	20 sccm
CF <sub>4</sub> , at	40 sccm
CO, at	100 sccm
Argon Ar, at	250 sccm.

The overetching process was performed at a dual solenoid power level of 1600 W and a cathode pedestal power level of 1000 W for a sufficient time to complete all vias through the first oxidized methysilane layer.

SEM photos of the etched wafers were used to measure (i) the dielectric etch rate, (ii) the etching selectivity ratio of the dielectric etching to photoresist etching, (iii) etch rate uniformity, and (iv) the % etch rate microloading. Results are shown below for the via etch steps. Etch rates were calculated by measuring the depth of the features etched in the substrates. The etching selectivity ratio was calculated from the ratio of the etch rate of the dielectric layers 20 to the etch rate of the photoresist layer. The etch rate uniformity was calculated using at least 15 different measured points. The % etch rate microloading is a measure of the difference in etch rates obtained when etching features having different sizes on the substrates. In the examples below, percent etch rate microloading was measured for large holes having diameters of about 0.5 microns and small holes having diameters of about 0.25 microns, the etch rates being averaged for the center and peripheral edge of the substrates.

The old photoresist is then stripped by an oxygen plasma and a photoresist is re-applied and patterned to define horizontal interconnects such as trenches. The dielectric layer below the unexposed portions of the resist are selectively etched down to the etch stop layer in the IPS ETCH chamber, using the following amounts of process gases at a chamber pressure of 7 mTorr:

C <sub>4</sub> F <sub>8</sub> , at	19 sccm
CF <sub>4</sub> , at	0 sccm
CO, at	0 sccm
Argon Ar, at	100 sccm.

A plasma was generated by applying a RF voltage to the dual solenoid coils having a power level of about 1400 Watts. The cathode pedestal power level was set at 1500 Watts. The substrate was cooled or heated to +10 °C using a flow of backside helium to maintain a thin layer of passivating deposits on the sidewalls of freshly etched features. The etching process was performed for a sufficient time to etch all trenches through the third oxidized methysilane layer.

As an alternative, etching of the trenches could start at a higher pressure such as 20 mTorr by increasing gas flows about 50% and increasing power to the solenoid coils by about 1000W, then etch conditions could be altered to a lower pressure such as 7 mTorr for less aggressive etching of the trench to ensure stopping on the second oxidized methysilane layer.

SEM photos of the etched wafers were again used to measure the etch performance and results are shown below for each of the etch steps.

Table 2. Etch Performance for Example 1

	Via-1st	Via 2nd	Via-3rd	OE	Trench
Etch Rate, Å/min	750	1,200	750	1,700	2,400
Selectivity	3:1	3.5:1	3:1	3.5:1	1.2:
Uniformity	±10%	±5%	±10%	±5%	±5%
μ-loading	-%	10%	-%	10%	15%

#### EXAMPLE 2

The preceding example deposits the dielectric layers in a single chamber by varying only the flow of the silicon compound and the power level. This example modifies the first example by replacing methylsilane with TEOS for the first dielectric layer as follows.

A first oxidized TEOS layer is deposited on an 8 inch silicon substrate placed in a DxZ chamber, available from Applied Materials, Inc., at a chamber pressure of 3.0 Torr and temperature of 350°C from reactive gases which are flowed into the reactor as follows:

TEOS, (CH <sub>3</sub> -CH <sub>2</sub> -O-) <sub>n</sub> -Si, at	40 sccm
Oxygen, O <sub>2</sub> , at	360 sccm
Helium, He, at	2000 sccm

The substrate is positioned 320 mil from the gas distribution showerhead and 750W of high frequency RF power (13 MHz) is applied to the showerhead for plasma enhanced deposition of a silicon oxide layer containing less than 1% carbon by atomic weight and less than 0.1% hydrogen by atomic weight, the layer having a thickness of at least 5000 Å. Then deposition of second and third dielectric layers then continues using methysilane as described for Example 1.

Etching of a dual damascene structure is performed as described in Example 1 except that the etch conditions for forming vertical interconnects in the deposited TEOS layer and for an overetch of the vertical interconnects are as follows:

C <sub>4</sub> F <sub>8</sub> , at	15 sccm
C <sub>2</sub> F <sub>6</sub> , at	20 sccm
CO, at	0 sccm
Argon Ar, at	350 sccm.

During etching of the lower silicon oxide layer and the over-etching of the vertical interconnects, a plasma is generated by applying 2200 W of RF power to the dual solenoid coils and 1400 W of RF power to the bias electrode. The substrate is cooled or heated to -10 °C using a flow of backside helium to maintain a thin layer of passivating deposits on the sidewalls of freshly etched features.

While the foregoing is directed to preferred embodiments of the present invention, other and further embodiments of the invention may be devised without departing from the basic scope thereof, and the scope thereof is determined by the claims which follow.

#### 4 Brief Description of Drawings

So that the manner in which the above recited features, advantages and objects of the present invention are attained and can be understood in detail, a more particular description of the invention, briefly summarized above, may be had by reference to the embodiments thereof which are illustrated in the appended drawings.

It is to be noted, however, that the appended drawings illustrate only typical embodiments of this invention and are therefore not to be considered limiting of its scope, for the invention may admit to other equally effective embodiments.

Figs. 1A-1H are cross sectional views showing a first embodiment of a dual damascene deposition sequence of the present invention;

Figs. 2A-2H are cross sectional views showing a second embodiment of a dual damascene deposition sequence of the present invention;

Fig. 3 is a cross-sectional diagram of an exemplary CVD plasma reactor configured for use according to the present invention;

Fig. 4 show the relative amounts of carbon and hydrogen in four low k dielectric compositions that contain silicon, oxygen, carbon, and hydrogen; and

Fig. 5 is a schematic view in vertical cross-section of an etch process chamber suitable for practicing the etching process of the present invention.

For a further understanding of the present invention, reference should be made to the ensuing detailed description.

Fig. 1A

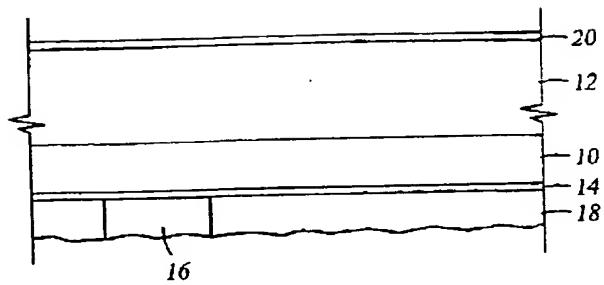


Fig. 1B

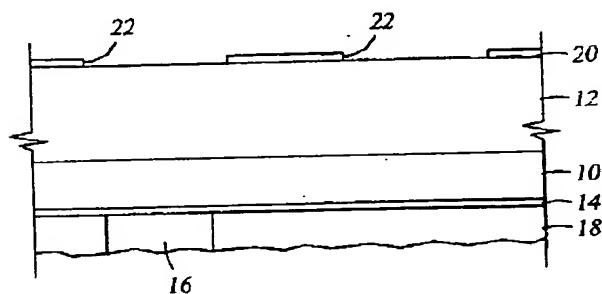


Fig. 1C

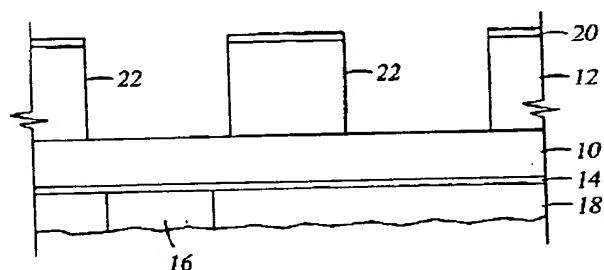


Fig. 1D

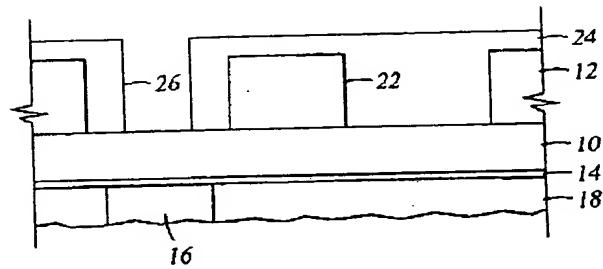


Fig. 1E

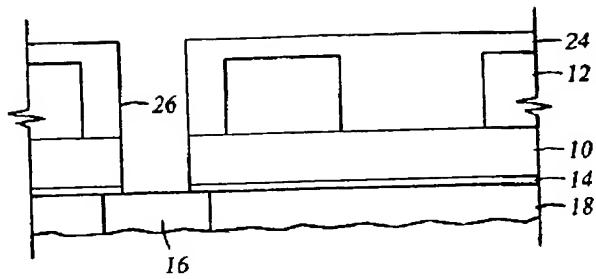


Fig. 1F

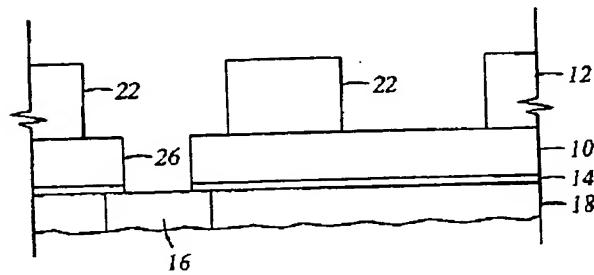


Fig. 1G

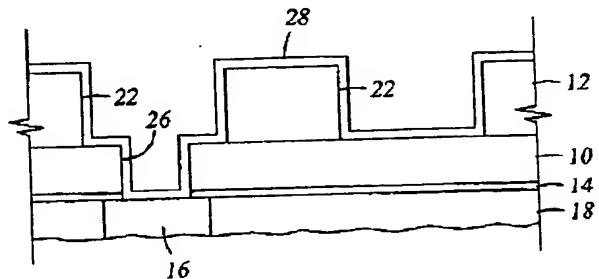


Fig. 1H

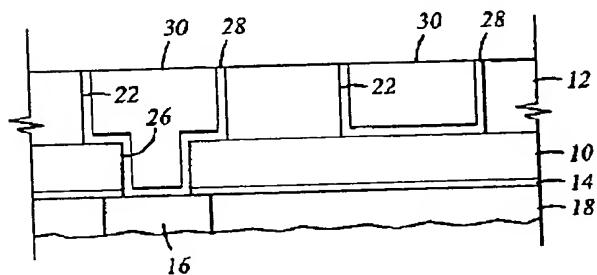


Fig. 2A

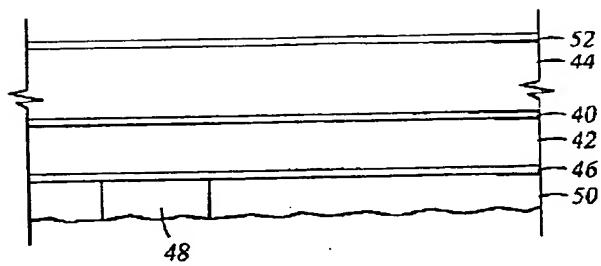


Fig. 2B

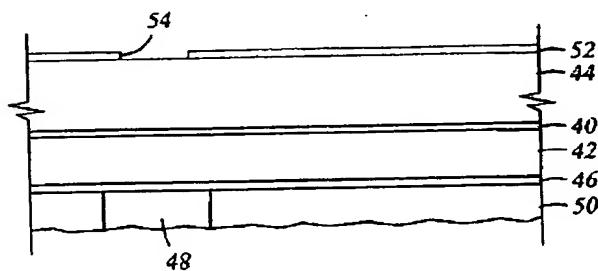


Fig. 2C

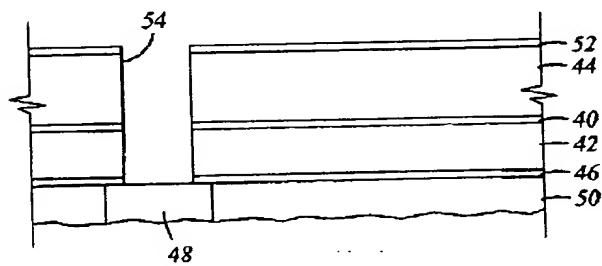


Fig. 2D

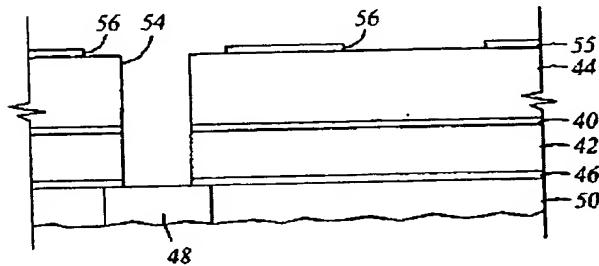


Fig. 2E

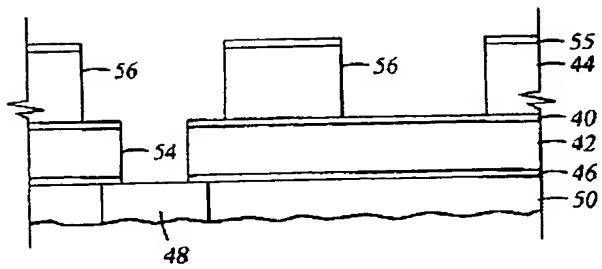


Fig. 2F

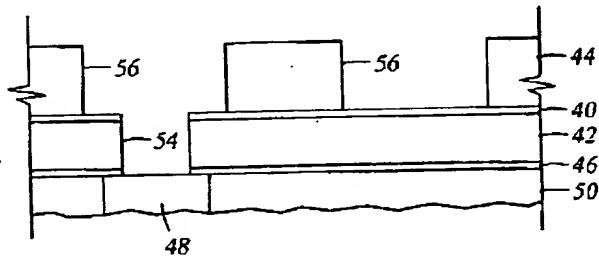


Fig. 2G

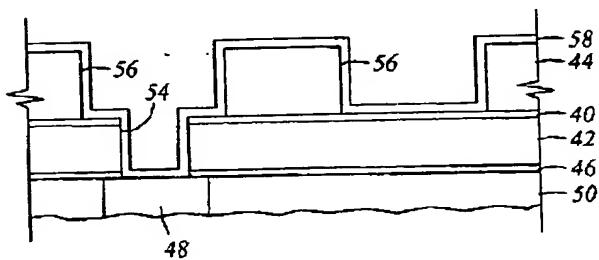
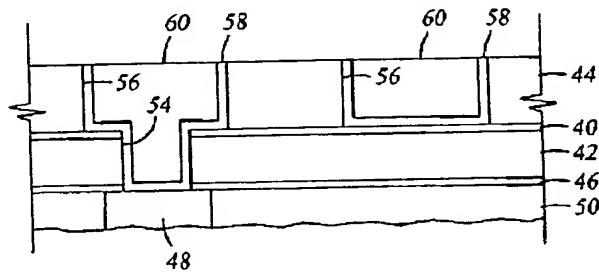


Fig. 2H



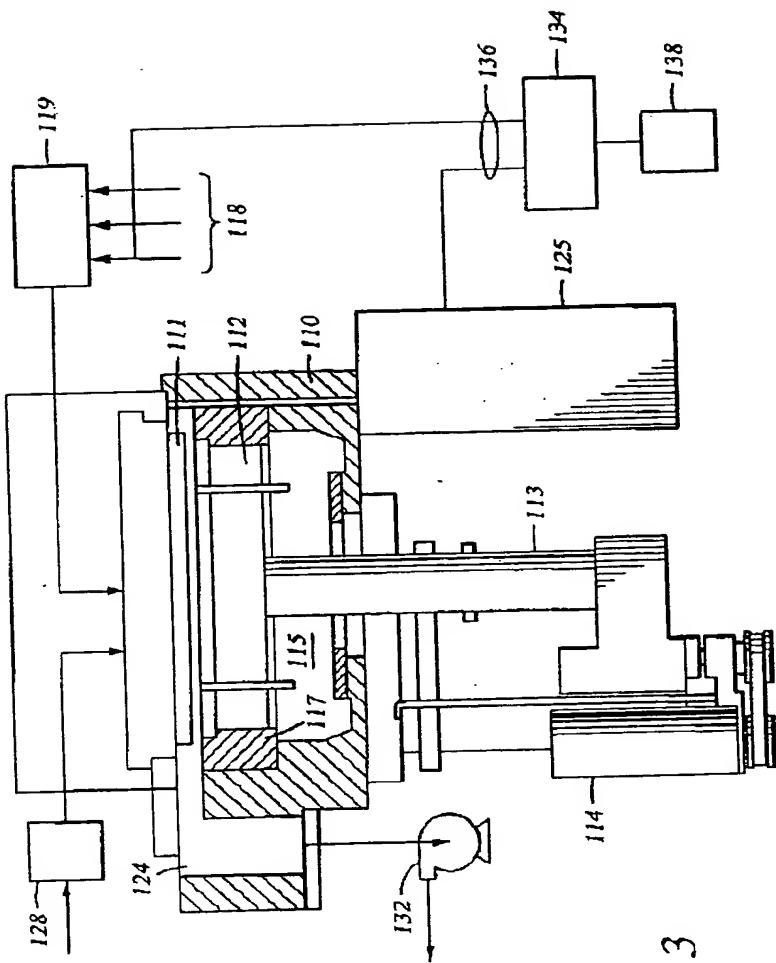


Fig. 3

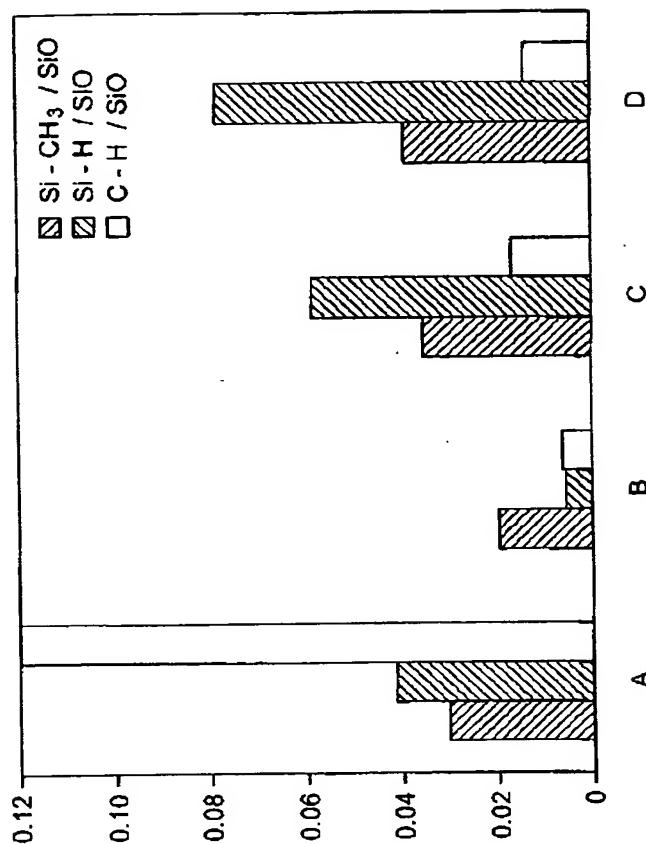
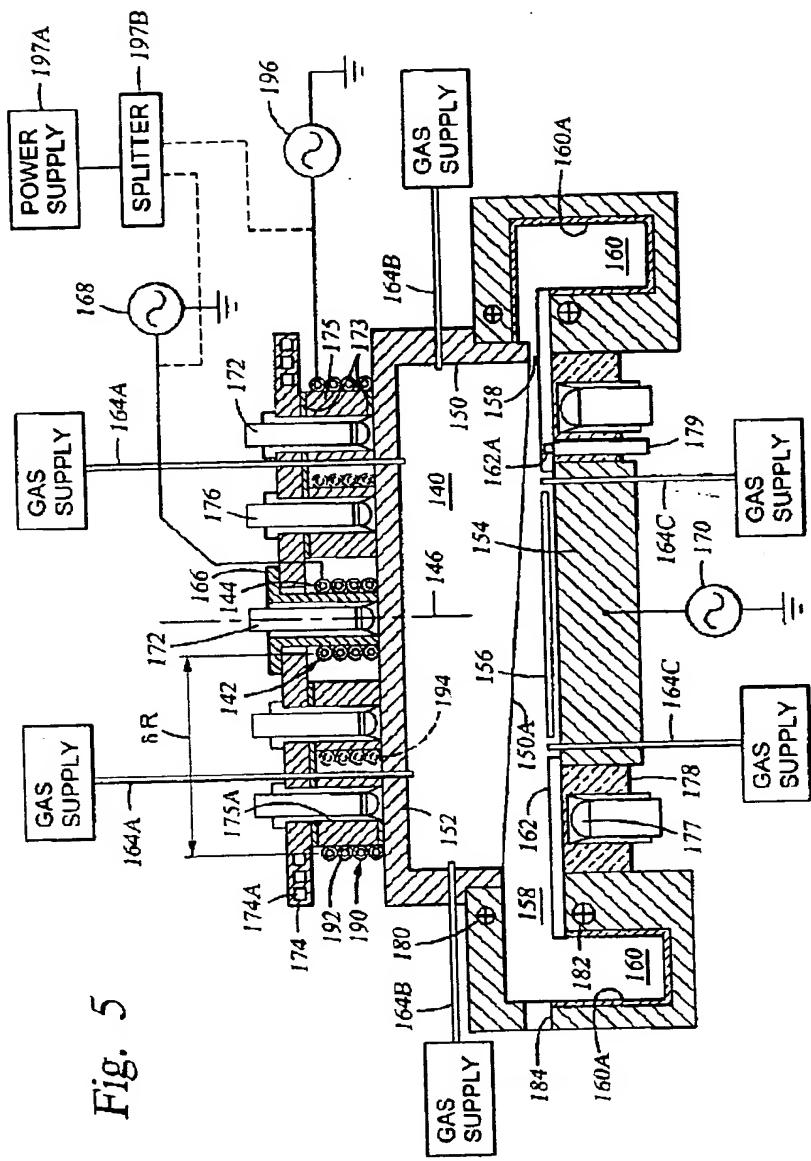


Fig. 4

Fig. 5



## 1 Abstract

A method of depositing and etching dielectric layers having low dielectric constants and etch rates that vary by at least 3:1 for formation of horizontal interconnects. The amount of carbon or hydrogen in the dielectric layer is varied by changes in deposition conditions to provide low  $k$  dielectric layers that can replace etch stop layers or conventional dielectric layers in damascene applications. A dual damascene structure having two or more dielectric layers with dielectric constants lower than about 4 can be deposited in a single reactor and then etched to form vertical and horizontal interconnects by varying the concentration of a carbon:oxygen gas such as carbon monoxide. The etch gases for forming vertical interconnects preferably comprises CO and a fluorocarbon, and CO is preferably excluded from etch gases for forming horizontal interconnects.

2 Representative Drawing Fig. 1